

PATENT ABSTRACTS OF JAPAN

15

(11)Publication number : 11-125831

(43)Date of publication of application : 11.05.1999

(51)Int.Cl.

G02F 1/1343

G02F 1/136

G09F 9/30

(21)Application number : 09-292110

(71)Applicant : SHARP CORP

(22)Date of filing : 24.10.1997

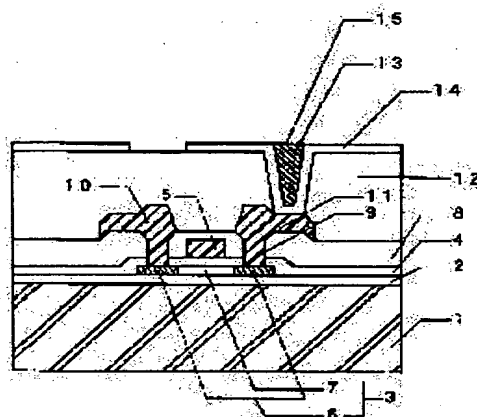
(72)Inventor : SAITO HISAFUMI

(54) SEMICONDUCTOR DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the disconnection of electrode caused by a difference in level occurring in contact holes and to obtain stable connection between electrodes by packing a conductive material in contact hole regions including the upper electrodes connected to the lower electrodes.

SOLUTION: A planarization film 12 is formed by applying a polyimide resin, acrylic resin, etc., over the entire surface. The contact holes 13 are opened in the planarization film 12 and a transparent conductive thin film of metals, such as Al, or ITO, etc., is deposited thereon so as to be electrically connected to the drain electrodes 11 and is patterned to a prescribed shape, by which the upper electrodes 14 are formed. Next, a conductive layer 15 is formed by a plating method or conductive resin film in the contact hole 13 parts. The constitution to electrically connect the upper electrodes 14 via the contact holes 13 to the drain electrodes 11 of TFTs of the device in such a manner, then to pack the recessed parts occurring in the contact holes 13 by the conductive layer 15 is adopted for the device and, therefore, the surface of the uppermost layer is made flat.



LEGAL STATUS

[Date of request for examination]

12.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3429440

[Date of registration]

16.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by filling up with the conductive matter said contact hole field including the up electrode top connected to said lower electrode in the semiconductor device which has the up electrode connected with this lower electrode through the contact hole by which opening was carried out to this insulator layer while being formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer.

[Claim 2] The semiconductor device according to claim 1 characterized by filling up said contact hole field including the up electrode top connected to said lower electrode with the conductive matter and the matter which forms the flat front face formed on this conductive matter.

[Claim 3] Said conductive matter is a semiconductor device according to claim 1 or 2 characterized by being a metal thin film.

[Claim 4] Said conductive matter is a semiconductor device according to claim 1 or 2 characterized by being the resin film which has conductivity.

[Claim 5] The matter which forms said flat front face is a semiconductor device according to claim 1 characterized by being the resin film which has conductivity or insulation.

[Claim 6] While being formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer In the manufacture approach of a semiconductor device of having the up electrode connected with this lower electrode through the contact hole by which opening was carried out to this insulator layer The process which carries out opening of said contact hole to the insulator layer formed on said lower electrode, The process which forms said up electrode on an insulator layer including said contact hole, and connects this up electrode and said lower electrode through this contact hole, The manufacture approach of the semiconductor device characterized by having the process which fills up said contact hole field including said up electrode top with the conductive matter.

[Claim 7] While being formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer In the manufacture approach of a semiconductor device of having the up electrode connected with this lower electrode through the contact hole by which opening was carried out to this insulator layer The process which carries out opening of said contact hole to the insulator layer formed on said lower electrode, The process which forms said up electrode on an insulator layer including said contact hole, and connects this up electrode and said lower electrode through this contact hole, The process which forms the conductive matter in said contact hole field including said up electrode top at extent which does not project rather than the front face of the up electrode formed on said insulator layer, The manufacture approach of the semiconductor device characterized by having the process which forms a thin film layer on the conductive matter formed in said contact hole field to extent which carries out outline coincidence with the front face of the up electrode formed on said insulator layer.

[Claim 8] The formation process of said conductive matter is the manufacture approach of the semiconductor device according to claim 6 or 7 characterized by being carried out by plating.

[Claim 9] The formation process of said conductive matter is the manufacture approach of the

semiconductor device according to claim 6 or 7 characterized by being carried out by applying the resin which has conductivity.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the electrode structure for connecting the electrode during the upper and lower sides good especially through an insulator layer about semiconductor devices, such as a thin film transistor used for an active matrix liquid crystal indicating equipment etc.

[0002]

[Description of the Prior Art] In recent years, the semiconductor device represented by IC, LSI, etc., electronic equipment or an electrical home appliance incorporating these semiconductor devices, etc. is developed, and it is sold in large quantities in the commercial scene. Generally VTR, the personal computer, etc. have spread widely and are so less new not to mention a television set current. The liquid crystal display attracts attention as a display which has the advantage that they are a light weight and a low power, with a thin shape especially. Switching elements, such as a thin film transistor (TFT is called hereafter.), are prepared for especially every pixel, the liquid crystal display of the active-matrix mold which controlled each pixel by this is excellent in resolution, and it is observed from the reasons of a clear image being obtained. Hereafter, TFT or an active matrix liquid crystal display is explained as an example of representation of the electronic equipment incorporating a semiconductor device or a semiconductor device.

[0003] TFT using the amorphous silicon thin film as a conventional active component is known, and many active matrix liquid crystal displays which carried this TFT are commercialized. Now, it has a great hope for the technique which forms TFT using a polycrystalline silicon thin film with possibility that the drive circuit for making TFT for pixels and TFT for a pixel drive for making a pixel electrode drive drive can really be formed on one substrate as an active component replaced with TFT using this amorphous silicon thin film.

[0004] The polycrystalline silicon thin film has high mobility compared with the amorphous silicon thin film used for the conventional TFT, and can form highly efficient TFT. When really forming the drive circuit for making TFT for a pixel drive drive on one cheap glass substrate is realized, compared with the former, a manufacturing cost will be reduced sharply.

[0005] Approaches, such as a solid phase grown method which heat-treats for several hours to dozens hours, and is crystallized at the temperature of about 600 degrees C as a technique which creates the polycrystalline silicon thin film used as the barrier layer of such polycrystalline silicon TFT on a glass

substrate after depositing an amorphous silicon thin film on a glass substrate, and the laser crystallizing method which irradiates pulse laser light, such as an excimer laser, is made to carry out melting of the amorphous silicon thin film of the part in an instant, and is made to recrystallize it, are proposed.

[0006] The transparency mold liquid crystal display which used transparent conductive thin films, such as ITO (Indium Tin Oxide), for the pixel electrode, and the reflective mold liquid crystal display which used reflectors, such as a metal, for the pixel electrode are shown in this active matrix liquid crystal display. Originally, since a liquid crystal display is not a spontaneous light type display, in the case of a transparency mold liquid crystal display, it arranges a lighting system and the so-called back light behind a liquid crystal display, and shows to it by the light by which incidence is carried out from there. Moreover, in the case of the reflective mold liquid crystal display, it is displaying by reflecting the incident light from the outside with a reflector.

[0007] In the case of a reflective mold liquid crystal display, in order not to use a back light, power consumption is very small, but it has the problem that the brightness and contrast of a display will be influenced by the brightness of an operating environment or a service condition, i.e., a perimeter, etc.

[0008] It has the advantage that the display which has bright and high contrast can be performed, without on the other hand, being influenced so much by surrounding brightness etc., although power consumption becomes large in order to display using a back light as mentioned above in the case of a transparency mold liquid crystal display.

[0009] By the way, it connects with the drain electrode of TFT, and the pixel electrode which consists of a transparent conductive thin film or metals, such as the above ITO(s), etc. is formed so that it may not connect with adjoining gate wiring or source wiring too hastily, and it may have these and fixed spacing. In order to expand the effective area of a pixel electrode in recent years, the interlayer insulation film 58 which consists of polyimide resin or acrylic resin is formed all over the substrate 51 top including a TFT top as shown in drawing 13, and the protective coat top pixel electrode structure (it is hereafter called pixel-on PASSHI structure) of connecting the drain electrode 61 of TFT and the pixel electrode 64 formed on the interlayer insulation film 58 is proposed through the contact hole 63 which carried out opening to this interlayer insulation film 58.

[0010] According to this approach, since it will insulate with gate wiring or source wiring with the interlayer insulation film 58 which consists of polyimide resin or acrylic resin, the pixel electrode 64 becomes possible [arranging the edge of the pixel electrode 64 in piles above gate wiring or source wiring], and can expand the effective area of the pixel electrode 64, i.e., a numerical aperture, by this. Furthermore, since the interlayer insulation film 58 which consists of polyimide resin or acrylic resin can carry out flattening of the level difference resulting from TFT, gate wiring, and source wiring easily, it also has the effectiveness of lessening extremely orientation turbulence of the liquid crystal layer 70.

[0011] However, in order to carry out flattening of the level difference resulting from TFT, gate wiring, and source wiring, it is necessary to make the thickness of 1 micrometers or more, for example, 2 micrometers - 4 micrometers, deposit the interlayer insulation film 58 which consists of polyimide resin or acrylic resin by the above-mentioned approach. Therefore, in order to connect the pixel electrode 64 and the drain electrode 61 of TFT, also when the level difference by the contact hole 63 which carries out opening will become big and connection between the pixel electrode 64 and the drain electrode 61 of TFT is not made good, it will often generate.

[0012] Moreover, although the level difference which originates in TFT, gate wiring, and source wiring by depositing the interlayer insulation film 58 by resin is reduced, the level difference resulting from a contact hole 63 is reflected also in the front face of the pixel electrode 64, a big level difference will arise to some fields of the pixel electrode 64, turbulence of the orientation of the liquid crystal layer 70 will occur there, and the problem of causing deterioration of display grace will also be generated.

[0013] Then, the method of forming the conductors 71, such as a metal used as the almost same height as the front face of the interlayer insulation film 58 which becomes contact hole 63 part from resin, is proposed as conventionally shown in drawing 14, for example, as shown in JP,4-220625,A. The

conductor 71 which consists of a metal etc. is formed on the drain electrode 61 of TFT, this manufacture approach etches an interlayer insulation film 58 so that the front face of a conductor 71 may be exposed, after making the interlayer insulation film 58 which carries out flattening of the level differences, such as TFT, deposit, and it connects the pixel electrode 64.

[0014] Moreover, as shown in JP,1-35351,B, JP,1-68727,A, or JP,4-305627,A, the conductors 71, such as plating, are formed in between the drain electrode 61 of TFT, and the pixel electrodes 64 (i.e., contact hole 63 part) with an electrochemical process, and the manufacture approach of connecting the pixel electrode 64 there is also proposed.

[0015]

[Problem(s) to be Solved by the Invention] The configuration on a front face of a substrate which was mentioned above is the big factor which makes the orientation of a liquid crystal layer produce turbulence. This is for turbulence to arise in the orientation of a liquid crystal layer in the part, when irregularity exists in a substrate front face. Recently, when the level difference by TFT, gate wiring, or source wiring is eased by pixel-on PASSHI structure and the flattening film is formed of it like drawing 13 mentioned above, irregularity hardly exists in a substrate front face.

[0016] However, in order to form a pixel electrode after that, the hollow by the contact hole for connecting the level difference for thickness of a pixel electrode, and a pixel electrode and the drain electrode of TFT is formed. Although the level difference for thickness of a pixel electrode is about thousands of Å at most, the hollow by the contact hole is several micrometers, and is so big that it does not become as compared with the level difference for thickness of a pixel electrode.

[0017] Moreover, although what is necessary is to process a contact hole into a taper configuration and just to give an inclination, in order to make a good thing connection between the drain electrode of TFT, and a pixel electrode, it is in the situation that extreme taper configuration processing cannot be performed from having made the dimension of a contact hole detailed with detailed-izing of TFT. That is, it is because the dimension of a contact hole will become large if an extreme taper configuration is processed. If the dimension of a contact hole is enlarged, as mentioned above, the level difference resulting from a contact hole is reflected in the front face of a pixel electrode, a big level difference will arise to some fields of a pixel electrode, turbulence of the orientation of a liquid crystal layer will occur in the level difference, and it will become the big factor which causes deterioration of display grace.

[0018] Especially, this effect becomes remarkable when the size of a pixel electrode is detailed. For example, supposing the size of a pixel electrode is 25-micrometer angle and the dimension of a contact hole is 5-micrometer angle, the rate of the contact hole occupied in the area of a pixel electrode will become 4%. However, at the opening process of a contact hole, it is easy to generate the pattern shift by etching, and supposing the dimension of a contact hole is 10-micrometer angle at the time of completion, the rate that a contact hole occupies will reach even to 16%. Under such a situation, it is not easy to cancel un-arranging resulting from the level difference of a contact hole, maintaining the good connection between the drain electrode of TFT, and a pixel electrode.

[0019] After making the film which carries out flattening of the level differences, such as TFT, deposit, as the conventional approach which was mentioned above is proposed as an approach for solving such a trouble, it forms the conductor which consists of a metal etc. on the drain electrode of TFT by the conventional approach shown in JP,4-220625,A, and the front face of a conductor is exposed, the configuration of connecting a pixel electrode to the part is indicated. Therefore, the front face of a pixel electrode will be in a flat condition, and it will be thought that turbulence of the orientation of the liquid crystal layer resulting from the level difference of a contact hole and the faulty connection of a pixel electrode and the drain electrode of TFT can be reduced.

[0020] However, it is necessary to form the conductor which consists of a metal of the shape of a column which has thickness comparable as the thickness of the interlayer insulation film which becomes a contact hole part from polyimide resin or acrylic resin, i.e., 2 micrometers - 4 micrometers thickness, etc. by this approach. Although it is thought that a conductor is usually formed by the sputtering method

or the plasma-CVD method in order to form such a conductor, it is possible in that case that membrane formation takes long duration since thickness is thick, or film peeling arises after the membrane formation middle or membrane formation. Moreover, even if membrane formation is completed normally, for etching this and carrying out patterning to the shape of a column, etching of long duration will be required further, and such an approach will not be an easy thing.

[0021] On the other hand, the configuration of forming a conductor in the part of a between [the drain electrode of TFT and pixel electrodes (i.e., a contact hole)], and connecting a pixel electrode to it with electrochemical processes, such as plating, there is indicated by the conventional approach shown in JP,1-35351,B, JP,1-68727,A, or JP,4-305627,A. Since the conductor which connects a drain electrode and a pixel electrode according to these is formed in the part of a contact hole in self align, it can cancel the level difference by the front face of the pixel electrode which the FOTORISO process for forming a conductor becomes unnecessary, and is further connected to a conductor, especially the contact hole.

[0022] However, by this approach, the adhesion of the conductor and drain electrode which were formed by electrochemical processes, such as plating, will not necessarily become good. An oxide film etc. is formed in the front face depending on the metallic material which constitutes a drain electrode, and there is a ***** thing. Generally, aluminum, Ti, etc. which are widely used as the electrode and wiring material of TFT correspond to this. The deposit of sufficient thickness is not not only obtained, but adhesion will not become good if an oxide film etc. is formed on the surface of a metallic material. From such a metallic material, complicated processes, such as performing various kinds of surface treatment to beforehand, are required, and remarkable know-how is required.

[0023] Moreover, when filling up a hole like a contact hole with a deposit, it is also considered that the situation that the front face of an insulator layer and the front face of a deposit where opening of the contact hole was carried out are not necessarily in agreement arises. That is, the case where it projects rather than the front face of an insulator layer 58 conversely as shown in drawing 15 (a) and (b), when the front face of a deposit 71 does not arrive at the location of the front face of an insulator layer 58 etc. can be considered. Drawing 15 (a) and (b) expand and show the situation. When it is going to fill up with a deposit 71 the contact hole 63 by which opening was carried out to the resin insulator layer 58 which has about 2-micrometer thickness like the pixel-on PASSHI structure mentioned above, If the case where set aside and a deposit 71 is temporarily formed by the time amount for about 1 minute in consideration of the throughput of a production process is assumed when forming a deposit 71 over many hours very much The change in thickness 3000A or more arises only by changing the time amount of a plating process for small 10 seconds, and when the worst, the crevice or heights beyond about 0.5 micrometers or it is made generated when it also takes into consideration changing the thickness of the resin insulator layer 58. The field surrounded with the circle in drawing 15 (a) and (b) shows the part which the level difference generated for a reason which was mentioned above. Although the level difference of about 2 micrometers of the beginning is eased a little as a result, considering thickness (1000A – thousands ofA), such as the pixel electrode 64 formed behind, concern of open-circuit generating in a level difference part does not still continue being canceled completely.

[0024] An open circuit of the electrode generated with the level difference resulting from this contact hole controls, and it aims at obtaining the connection by which inter-electrode was stabilized by this invention being made in view of the conventional trouble which was mentioned above, and filling up with the conductive matter the contact hole field by which opening was carried out to the insulator layer including the up electrode top formed in the semiconductor device which has arranged semiconductor devices, such as a thin film transistor, so that it might connect with a lower electrode electrically.

[0025]

[Means for Solving the Problem] While the semiconductor device of this invention according to claim 1 is formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer In the semiconductor device which has the up electrode connected with this lower electrode through

the contact hole by which opening was carried out to this insulator layer In said contact hole field including the up electrode top connected to said lower electrode, it is characterized by filling up with the conductive matter, and the above-mentioned purpose is attained by that.

[0026] Moreover, the semiconductor device of this invention according to claim 2 is characterized by filling up said contact hole field including the up electrode top connected to said lower electrode with the conductive matter and the matter which forms the flat front face formed on this conductive matter, and the above-mentioned purpose is attained by that.

[0027] At this time, said conductive matter may be a metal thin film.

[0028] Moreover, said conductive matter may be resin film which has conductivity at this time.

[0029] Furthermore, the matter which forms said flat front face may be resin film which has conductivity or insulation at this time.

[0030] The manufacture approach of the semiconductor device of this invention according to claim 6 While being formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer In the manufacture approach of a semiconductor device of having the up electrode connected with this lower electrode through the contact hole by which opening was carried out to this insulator layer The process which carries out opening of said contact hole to the insulator layer formed on said lower electrode, The process which forms said up electrode on an insulator layer including said contact hole, and connects this up electrode and said lower electrode through this contact hole, It is characterized by having the process which fills up said contact hole field including said up electrode top with the conductive matter, and the above-mentioned purpose is attained by that.

[0031] Moreover, the manufacture approach of the semiconductor device of this invention according to claim 7 While being formed on a lower electrode, the insulator layer formed on this lower electrode, and this insulator layer In the manufacture approach of a semiconductor device of having the up electrode connected with this lower electrode through the contact hole by which opening was carried out to this insulator layer The process which carries out opening of said contact hole to the insulator layer formed on said lower electrode, The process which forms said up electrode on an insulator layer including said contact hole, and connects this up electrode and said lower electrode through this contact hole, The process which forms the conductive matter in said contact hole field including said up electrode top at extent which does not project rather than the front face of the up electrode formed on said insulator layer, On the conductive matter formed in said contact hole field, it is characterized by having the process which forms a thin film layer to extent which carries out outline coincidence with the front face of the up electrode formed on said insulator layer, and the above-mentioned purpose is attained by that.

[0032] At this time, the formation process of said conductive matter may be made to be performed by plating.

[0033] Moreover, the formation process of said conductive matter may be made to be performed by applying the resin which has conductivity at this time.

[0034] Thus, by filling up the conductive matter with this invention into said contact hole field including the up electrode top connected to a lower electrode, especially an open circuit will occur, the part near the base of the contact hole which is a ***** part will also be filled up with the conductive matter, an open circuit of an up electrode is prevented, and connection between an up electrode and a lower electrode becomes a positive thing.

[0035] Moreover, by filling up the contact hole field including the up electrode top connected to a lower electrode with the conductive matter and the matter which forms the flat front face formed on this conductive matter, especially an open circuit will occur, the part near the base of the contact hole which is a ***** part will be filled up with the conductive matter, an open circuit of an up electrode is prevented, and connection between an up electrode and a lower electrode becomes a positive thing. Furthermore, since it fills up with the matter which forms a flat front face on the conductive matter, the surface surface smoothness of a contact hole can be raised to coincidence.

[0036] Moreover, it becomes possible by using a metal thin film as conductive matter much more to

ensure connection between an up electrode and a lower electrode.

[0037] Moreover, it becomes possible to raise further the surface smoothness on an up electrode and the front face of a contact hole by using the resin film which has conductivity as conductive matter.

[0038] Moreover, while especially an open circuit occurs, filling up the part near the base of a ***** contact hole with the conductive matter and securing a good flow by using the resin film which has conductivity or insulation as matter which forms a flat front face It becomes possible to raise the surface smoothness of the front face of an up electrode further, and when an electrode is connected to the part when the matter which forms a flat front face is made into conductivity, or it is made insulation on the contrary, it can perform arranging other wiring in the part easily.

[0039] Moreover, it becomes possible by performing the formation process of the conductive matter with plating to fill up a contact hole field with the low metallic material of resistance easily.

[0040] Moreover, it becomes possible to raise the surface smoothness of the front face of an up electrode further by carrying out by applying the resin which has conductivity for the formation process of the conductive matter.

[0041]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. Drawing 1 is the sectional view having shown TFT of this invention, and drawing 2 is the top view. In addition, drawing 1 R> 1 shows the cross section in the part of the A-A' line in drawing 2.

[0042] TFT as an active component in this invention has the in general following composition, as shown in drawing 1. The base coat film 2 which consists of SiO₂ film etc. accumulates on the insulating substrates 1, such as glass, on it, the barrier layer 3 of TFT which consists of a silicon thin film is formed in the predetermined configuration, insulator layers, such as SiO₂ film, accumulate on this barrier layer 3, and gate dielectric film 4 is formed. On this barrier layer 3, the gate electrode 5 which consists of metallic materials, such as aluminum, on both sides of this gate dielectric film 4 is formed at the predetermined configuration.

[0043] Here, the source field and the drain field 6 where impurity ion was poured in, and the channel field 7 where impurity ion is not poured into the field of the lower part of the gate electrode 5 are formed in this barrier layer 3, an insulator layer is deposited all over after that, and an interlayer insulation film 8 is formed. Opening of the contact hole 9 is carried out to the upper interlayer insulation film 8 and the gate dielectric film 4 of this source field and the drain field 6, and the source electrode 10 and the drain electrode 11 which consist of metallic materials, such as aluminum, are formed, and it connects with the source field and the drain field 6, respectively.

[0044] Then, polyimide resin, acrylic resin, etc. are applied to the whole surface, and the flattening film 12 is formed in it. And opening of the contact hole 13 is carried out to this flattening film 12, transparent conductive thin films, such as metals, such as aluminum, or ITO, are made to deposit so that it may connect with the drain electrode 11 electrically, patterning is carried out to a predetermined configuration, and the up electrode 14 is formed.

[0045] Next, a conductive layer 15 is formed in contact hole 13 part mentioned above with plating or the conductive resin film.

[0046] According to this invention, the up electrode 14 is electrically connected to the drain electrode 11 of TFT through a contact hole 13, and since it is considering as a configuration which is filled up with the concave hollow part which originates in a contact hole by the conductive layer 15 after that, the front face of the maximum upper layer is flat. Therefore, when TFT in this invention is applied to a liquid crystal display, producing irregularity which disturbs the orientation of a liquid crystal molecule on the front face of the pixel electrode which is the up electrode 14 is lost.

[0047] Moreover, in this invention, since the conductive layer 15 is formed in a contact hole 13 even if the drain electrode 11 and the up electrode 14 of TFT are disconnected in which part in a contact hole 13, it becomes possible to connect an open-circuit part.

[0048] Furthermore, it is possible to manufacture simple by the membrane formation approach used in

this invention in order to need neither equipment special besides installing the facility for plating processes nor complicated pretreatment and to manufacture a conventional active matrix liquid crystal indicating equipment and conventional TFT except the formation process of a conductive layer 15, in using the conductive resin film and using plating for a coater in case a conductive layer 15 is formed, or the etching approach.

[0049] (Gestalt 1 of operation) A drawing is used for below and the detail of the manufacture approach in the gestalt 1 of operation of this invention is explained to it. Drawing 3 – drawing 4 are the sectional views having shown the production process of TFT in the gestalt 1 of this operation.

[0050] As shown in drawing 3 (a), it creates by the approach of common knowledge of TFT on the insulating substrates 1, such as a glass substrate. The creation approach is as follows in general.

[0051] First, the base coat film 2 which consists of SiO₂ film etc. is made to deposit by the sputtering method or the plasma-CVD method on a glass substrate 1. Next, when the film which deposited and deposited the polycrystalline silicon thin film, the amorphous silicon thin film, etc. on 30nm – about 50nm thickness is an amorphous silicon thin film, laser light irradiates and polycrystal-izes from the upper part. Patterning of the polycrystal-ized silicon thin film is carried out to a predetermined configuration, and it serves as the barrier layer 3 of TFT.

[0052] Subsequently, insulator layers, such as SiO₂ film, accumulate on a barrier layer 3, gate dielectric film 4 is formed, and the gate electrode 5 which consists of metallic materials, such as aluminum, through gate dielectric film 4 is formed on this barrier layer 3 at a predetermined configuration.

[0053] Subsequently, heat-treatment for activating the impurity ion which impurity ion was poured in by having used the gate electrode 5 as the mask at the barrier layer 3, and was poured in after that is performed, and a source field and the drain field 6 are formed. At this time, the channel field 7 where impurity ion is not poured in is formed in the field of the lower part of the gate electrode 5.

[0054] Then, SiO₂, the SiN_x film, etc. accumulate on the whole surface, and an interlayer insulation film 8 is formed. After carrying out opening of the contact hole 9 to the interlayer insulation film 8 and gate dielectric film 4 which are finally located above a source field and the drain field 6, the source electrode 10 and the drain electrode 11 which consist of metallic materials, such as aluminum, are formed, and this source electrode 10 and the drain electrode 11 are connected to a source field and the drain field 6. TFT in the gestalt 1 of this operation is carried out in this way, and is manufactured.

[0055] Although the gestalt 1 of this operation explained the coplanar mold TFT which used the polycrystalline silicon thin film for the barrier layer 3, you may be the reverse stagger mold TFT which used the amorphous silicon thin film for the barrier layer 3. Moreover, after this, the different metal membrane or different transparent conductive thin film of the quality of the material from this drain electrode 11 may be made to deposit on the drain electrode 11, patterning may be carried out to a predetermined configuration, and a cap electrode may be formed. In addition, as a metal membrane at this time, it is possible to use nickel, Cr, Cu, Fe, W, etc., and it is possible as a transparent conductive thin film to use ITO, SnO₂, etc.

[0056] Next, as shown in drawing 3 (b), polyimide resin, acrylic resin, etc. are applied to the whole surface, and the flattening film 12 is formed in it. With the gestalt 1 of this operation, OPUTOMA SS (Japan Synthetic Rubber Co., Ltd. make) was used for resin, and spreading formation was carried out on the substrate 1 so that it might become the thickness of 2 micrometers by 2 micrometers – 4 micrometers, for example, max.

[0057] Next, opening of the contact hole 13 was carried out to the flattening film 12 located above the drain electrode 11. The dry etching by oxygen gas can be used for opening of this contact hole 13. With the gestalt 1 of this operation, it etched on condition that oxygen gas flow rate 400sccm, high-frequency power 600W, and gas pressure 20mTorr, and the contact hole 13 was formed. Moreover, the wall of this contact hole 13 made the include angle of 80 degrees – 60 degrees incline in general, and was formed. Moreover, in case opening of this contact hole 13 is carried out, it is desirable to make it the range in which aperture of the contact hole 13 by the side of the drain electrode 11 is made

comparatively small in consideration of alignment precision, and it is made to carry out opening on the drain electrode 11 certainly, and the aperture by the side of the front face of the flattening film 12 does not exceed the dimension of the drain electrode 11, either. When this makes inter-electrode connection a positive thing and uses this TFT for a liquid crystal display etc., also in order not to reduce a numerical aperture superfluously, it is important. In addition, the resin used for the flattening film 12 at this time may have photosensitivity.

[0058] Next, as shown in drawing 4 (a), using 1000Å – thousands of Å, for example, the mask by the photoresist, about 2000Å is made to deposit, patterning of the metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, is carried out, and the up electrode 14 of a predetermined configuration is formed so that it may connect with the drain electrode 11 electrically. The well-known approaches, such as the sputtering method, can be used as an approach of making metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, depositing at this time.

[0059] Next, as shown in drawing 4 (b), the mask by the photoresist is formed, the part of a contact hole 13 is filled up with a metal membrane with plating, and a conductive layer 15 is formed. In addition, a photoresist is removed after conductive layer 15 formation.

[0060] Plating mentioned above is explained below. If it is generally called plating, will point out electrolysis plating in many cases, and this approach acquires a sink in the water solution containing a metal ion to plate, and a direct current is acquired for a metal membrane to a cathode side. The situation of this plating process is shown in drawing 12. As a facility prepared at this process, they are DC power supply 20 at the plating bath 19 and it which put in plating liquid 18 and this plating liquid 18. It is common in an anode plate 21 to use the electrode of the same quality of the material as the metal to plate, and a silver electrode is used when plating a nickel electrode and Ag, in plating nickel. Moreover, depending on plating liquid, heating may be needed a little. In that case, a heating facility of a plating bath is prepared as an ancillary facility. As a metal plated, Cu, Ag, Au, Cr, Fe, nickel, Pt, etc. can be used. Especially in this invention, although it is not necessary to limit the metal to plate, it takes into consideration and determines that affinity with furring will also mention later, and it is [way] desirable and nickel, Cu, especially Ag, etc. are promising. For example, it is because nickel can be plated comparatively easily, it is widely used for industrial use and it is thought that Cu, Ag, etc. are suitable to use for an electrode etc. since electric resistance is low enough. In the case of nickel or Ag, as a water solution, a nickel sulfate, a nickel chloride, a silver cyanide, etc. are used, for example. It plated with the gestalt 1 of this operation using Ag. as a reason for having chosen Ag, as mentioned above, electric resistance is a low ingredient, and it is because the price is alike and cheap in a noble-metals ingredient with low electric resistance.

[0061] Using SHIRUBU REXX II (Electroplating Engineers of Japan, Ltd. make) as for example, plating liquid, plating of contact hole 13 part in the gestalt 1 of this operation performed grade plating between about 2 parts at 25 degrees C whenever [current density 1 A/dm² and plating solution temperature], and formed about 2-micrometer conductive layer 15. The thickness of a conductive layer 15 can be determined by controlling current density and time amount. About whenever [current density or plating solution temperature], since it changed with classes of plating liquid, with the gestalt 1 of this operation, conditions were set [that what is necessary is just to determine suitably] up in 20-30 degrees C whenever [current density 1 – 5 A/dm², and plating solution temperature]. when the area of the part plated like a contact hole 13 is small, that a result [carry / by the low current consistency] is better acquires such conditions in the gestalt 1 of this operation -- having -- ***** -- it determines in consideration of things.

[0062] Next, the process before and behind a plating process is explained. Before a plating process, a front face is processed with a hydrochloric acid etc. if needed besides rinsing the front face of the object plated. It is made to wash and dry by the hot pure water around 70 degrees C after a plating process. In addition, although the gestalt 1 of this operation showed the example of plating of a single

metal, even if it is plating of an alloy, it does not interfere.

[0063] Since he is trying to form a conductive layer 15 after the up electrode 14 electrically connected to the drain electrode 11 through a contact hole 13 is formed with the gestalt 1 of this operation, even if it is the case where the front face of a conductive layer 15 projected rather than the front face of the up electrode 14, or retreated temporarily, and a level difference arises, bad influences, such as an open circuit, are not produced to the up electrode 14.

[0064] Moreover, as shown in drawing 5, since it has several micrometers thickness, as for the flattening film 12, the ** contact hole 13 by which opening was carried out to this flattening film 12 will also have the level difference of several micrometers. Although the up electrode 14 of 1000Å – about thousands of Å thickness will be deposited and formed in contact hole 13 part As mentioned above, a contact hole 13 has the level difference of several micrometers, and it gets down from it. Since the include angle is also steep, it was difficult for contact hole 13 internal surface to deposit the film by uniform thickness, and in the field surrounded with the circle in drawing, it disconnected substantially, without sufficient thickness being securable, and obtained now, and also when like, it was often. However, in the gestalt 1 of this operation, the conductive layer 15 which deposited in a part for the bottom surface part of a contact hole 13 is able to connect the open-circuit part of the up electrode 14 by growing up gradually, going, as the arrow head in drawing showed, and being full in a contact hole 13 by plating into contact hole 13 part.

[0065] In addition, although not illustrated, after forming the orientation film in the whole surface after this and performing orientation processing, the opposite side substrate in which the color filter, the counterelectrode, etc. were formed is stuck, and if liquid crystal is poured in between substrates, a liquid crystal display can be completed.

[0066] (Gestalt 2 of operation) Next, the detail of the manufacture approach in the gestalt of other operations of this invention is explained using a drawing. Drawing 6 – drawing 8 are the sectional views having shown the production process of TFT in the gestalt 2 of this operation.

[0067] As shown in drawing 6 (a), the flattening film 12 by resin is formed after creating TFT. In addition, since the production process of TFT in the gestalt 2 of this operation etc. is the same as that of the gestalt 1 of operation, explanation is omitted.

[0068] As shown in drawing 6 (b), opening of the contact hole 13 was carried out to the flattening film 12 by resin. The dry etching by oxygen gas can be used for opening of this contact hole 13. With the gestalt 2 of this operation, it etched first on condition that oxygen gas flow rate 400sccm, high-frequency power 600W, and gas pressure 20mTorr, and the contact hole 13 was formed. In addition, these processes are the same as the gestalt 1 of operation.

[0069] Next, as shown in drawing 7 (a), using 1000Å – thousands of Å, for example, the mask by the photoresist, about 2000Å is made to deposit, patterning of the metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, is carried out, and the up electrode 14 of a predetermined configuration is formed so that it may connect with the drain electrode 11 electrically. The well-known approaches, such as the sputtering method, can be used as an approach of making metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, depositing at this time.

[0070] Next, as shown in drawing 7 (b), the part of a contact hole 13 is filled up with a metal membrane with plating, and a conductive layer 15 is formed. With the gestalt 2 of this operation, in a contact hole 13, it is not completely filled up with a conductive layer 15, but it is formed from a base at 1 / about three to 2/3 thickness. As an important point in this case, it is making it a conductive layer 15 not project from the front face of the up electrode 14, and should just determine suitably in what thickness it forms from a base. With the gestalt 2 of this operation, it decided to plate using Ag, for example, SHIRUBU REXX II (Electroplating Engineers of Japan, Ltd. make) was used as plating liquid. Moreover, although the thickness of a conductive layer 15 could be determined by controlling current density and the processing time, with the gestalt 2 of this operation, it decided to control by the processing time.

Grade plating was specifically performed between about 1 parts at 25 degrees C whenever [current density 1 A/dm² and plating solution temperature], and about 1-micrometer conductive layer 15 was formed.

[0071] Although it is the same as that of what was indicated in the gestalt 1 of operation about the following explanation, it explains repeatedly. About whenever [current density or plating solution temperature], since it changed with classes of plating liquid, with the gestalt 2 of this operation, conditions were set [that what is necessary is just to determine suitably] up in 20-30 degrees C whenever [current density 1 - 5 A/dm², and plating solution temperature]. when the area of the part plated like a contact hole 13 is small, that a result [carry / by the low current consistency] is better acquires such conditions in the gestalt 2 of this operation -- having -- ***** -- it determined in consideration of things -- it comes out.

[0072] Next, the process before and behind a plating process is explained. Before a plating process, a front face is processed with a hydrochloric acid etc. if needed besides rinsing the front face of the object plated. It is made to wash and dry by the hot pure water around 70 degrees C after a plating process. In addition, although the gestalt 2 of this operation showed the example of plating of a single metal, even if it is plating of an alloy, it does not interfere.

[0073] Next, the resin thin film layer 16 is made to deposit all over a substrate, as shown in drawing 8 (a). This resin thin film layer 16 is for a conductive layer 15 to fill up the remaining part of the contact hole 13 with which it filled up to about 1/2. Here, spreading formation was carried out so that it might become about 1-micrometer thickness. OPUTOMA SS (Japan Synthetic Rubber Co., Ltd. make) which is the same ingredient as the flattening film 12 as an ingredient used was used. Or even if it uses colored [, such as the color mosaic CK (the Fuji hunt company make),] and a black resin ingredient, it does not interfere. Moreover, a conductive ingredient is sufficient as the resin ingredient used for the resin thin film layer 16, and it may have photosensitivity.

[0074] Next, as shown in drawing 8 (b), the whole surface of the resin thin film layer 16 is etched, and the front face of the up electrode 14 is exposed. The whole surface is etched at this process, without using masks, such as a photoresist. This is called the etchback process. The dry etching by oxygen gas can be used for etching. With the gestalt 2 of this operation, it etched on condition that oxygen gas flow rate 400sccm, high-frequency power 600W, and gas pressure 20mTorr.

[0075] In addition, a conductive layer 15 is filled up with the gestalt 2 of this operation into a contact hole 13 from a base to about 1/2 location, and the resin thin film layer 16 was filled up with it into the remaining part. Therefore, since the remaining part of a contact hole 13 is filled up with the resin thin film layer 16 as a conductive layer 15 did not project from the front face of the up electrode 14, the front face of the up electrode 14 is flat. Moreover, when a resin thin film layer is insulation, since it is possible to arrange other wiring in this part and the front face is flat also in that case, there are no worries about an open circuit etc. It seems that moreover, a bad influence is not done to the orientation of a liquid crystal molecule since all the front faces of an electrode including inter-electrode will become flat, if TFT of such structure is used for a liquid crystal display.

[0076] (Gestalt 3 of operation) Next, the detail of the manufacture approach in the gestalt of other operations of this invention is explained using a drawing. Drawing 9 - drawing 11 are the sectional views having shown the production process of TFT in the gestalt 3 of this operation.

[0077] As shown in drawing 9 (a), the flattening film 12 by resin is formed after creating TFT. In addition, since the production process of TFT in the gestalt 2 of this operation etc. is the same as that of the gestalt 1 of operation, explanation is omitted.

[0078] As shown in drawing 9 (b), opening of the contact hole 13 was carried out to the flattening film 12 by resin. The dry etching by oxygen gas can be used for opening of this contact hole 13. With the gestalt 2 of this operation, it etched first on condition that oxygen gas flow rate 400sccm, high-frequency power 600W, and gas pressure 20mTorr, and the contact hole 13 was formed. In addition, these processes are the same as the gestalt 1 of operation.

[0079] Next, as shown in drawing 10 (a), using 1000A – thousands of A, for example, the mask by the photoresist, about 2000A is made to deposit, patterning of the metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, is carried out, and the up electrode 14 of a predetermined configuration is formed so that it may connect with the drain electrode 11 electrically. The well-known approaches, such as the sputtering method, can be used as an approach of making metal membranes, such as transparent conductive thin films, such as ITO, and aluminum, depositing at this time.

[0080] Next, as shown in drawing 10 (b), contact hole 13 part is made to fill up the whole surface by carrying out spreading formation of the conductive resin film 17, and the unnecessary conductive resin film 17 is removed in the following process. When using an etchback process as an approach of removing, it is good to apply to extent which the concave hollow by the contact hole 13 does not produce on the front face of the conductive resin film 17. This is because the whole surface is etched into homogeneity at an etchback process. What is necessary is on the other hand, just to apply to extent with which the conductive resin film 17 is filled up into the contact hole 13, when the conductive resin film 17 has photosensitivity.

[0081] In addition, the conductive resin film 17 can be easily obtained by adding metal particles and carbon on the conventional insulating resin film. Moreover, it can obtain by making tetracyanoquinodimethan (TCNQ) and tetrathiafulvalene (TTF) mix in the insulating resin film. It is more desirable to choose an ingredient with electric resistance low if possible, although what is necessary is not to limit to these especially the conductive resin film 17 used in the gestalt 3 of this operation, and just to determine suitably.

[0082] Next, as shown in drawing 11, the unnecessary conductive resin film 17 deposited in addition to the contact hole 13 part is removed, and a conductive layer 15 is formed in contact hole 13 part. About removal of the conductive resin film 17, when the etchback process or the conductive resin film 17 explained with the gestalt 2 of operation mentioned above has photosensitivity, a garbage can be removed by using and developing [expose and] a mask. In addition, what is necessary is not to be limited to these and just to adopt suitably the removal approach suitable for the used resin film about the removal approach of the resin film.

[0083] Since the conductive resin film is used as a conductive layer 15 with the gestalt 3 of this operation, it is comparatively easy to make the location of the front face of a conductive layer 15 mostly in agreement with the location of the front face of the up electrode 14.

[0084] As mentioned above, even if TFT created in the gestalt 1 of operation, the gestalt 2 of operation, and the gestalt 3 of operation can be used as a switching element for driving the pixel electrode of a liquid crystal display, and disconnects neither an electrode nor wiring or it compares and disconnects it, it has the operation effectiveness that this open-circuit part is connectable. Therefore, this structure is very effective in stabilizing connection of the electrode which is between the upper and lower sides and has a contact through a contact hole, and wiring, and this can be widely applied also to the semiconductor device or semiconductor device which has the connection structure of the electrode not only during TFT but the upper and lower sides.

[0085]

[Effect of the Invention] As mentioned above, with the electrode connection structure of this invention, it becomes possible to ensure connection of the electrode which is between the upper and lower sides and has a contact through a contact hole, and wiring.

[0086] Moreover, an open circuit of the pixel electrode which is equivalent to an up electrode when the semiconductor device or the semiconductor device which has such inter-electrode connection structure is applied to a liquid crystal display can be prevented, and while becoming possible to make a more positive thing connection with the drain electrode of TFT and the pixel electrode which are a semiconductor device, it is lost that the orientation turbulence of the liquid-crystal molecule resulting

from the level difference of a contact hole occurs, and it becomes possible to acquire good display grace.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the sectional view having shown TFT of this invention.

[Drawing 2] Drawing 2 is the top view having shown TFT of this invention.

[Drawing 3] Drawing 3 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 1 of this operation.

[Drawing 4] Drawing 4 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 1 of this operation following drawing 3 (a) and (b).

[Drawing 5] Drawing 5 is the sectional view having shown the details of the electrode connection in the gestalt of this operation.

[Drawing 6] Drawing 6 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 2 of this operation.

[Drawing 7] Drawing 7 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 2 of this operation following drawing 6 (a) and (b).

[Drawing 8] Drawing 8 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 2 of this operation following drawing 7 (a) and (b).

[Drawing 9] Drawing 9 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 3 of this operation.

[Drawing 10] Drawing 10 (a) and (b) are the sectional views having shown the production process of TFT in the gestalt 3 of this operation following drawing 9 (a) and (b).

[Drawing 11] Drawing 11 is the sectional view having shown the production process of TFT in the gestalt 3 of this operation following drawing 10 (a) and (b).

[Drawing 12] Drawing 12 is the drawing in which the plating process in the gestalt 1 of this operation was shown.

[Drawing 13] Drawing 13 is the sectional view having shown the semiconductor device of protective coat top pixel electrode structure (pixel-on PASSHI structure).

[Drawing 14] Drawing 14 is the sectional view having shown the semiconductor device in the conventional technique.

[Drawing 15] Drawing 15 (a) and (b) are the sectional views of a contact hole having shown the conventional trouble.

[Description of Notations]

1 Insulating Substrate

2 Base Coat Film
3 Barrier Layer
4 Gate Dielectric Film
5 Gate Electrode
6 Source Field and Drain Field
7 Channel Field
8 Interlayer Insulation Film
9 Contact Hole
10 Source Electrode
11 Drain Electrode (Lower Electrode)
12 Flattening Film
13 Contact Hole
14 Pixel Electrode (Up Electrode)
15 Conductive Layer
16 Resin Thin Film Layer
17 Conductive Resin Film
18 Plating Liquid
19 Plating Bath
20 DC Power Supply
21 Anode Plate
51 Insulating Substrate
58 Interlayer Insulation Film
60 Source Electrode
61 Drain Electrode (Lower Electrode)
63 Contact Hole
64 Pixel Electrode (Up Electrode)
70 Liquid Crystal Layer
71 Conductor

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-125831

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.⁶
G 0 2 F 1/1343
1/136
G 0 9 F 9/30

識別記号
5 0 0
3 3 8

F I
G 0 2 F 1/1343
1/136
G 0 9 F 9/30

5 0 0
3 3 8

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21) 出願番号 特願平9-292110

(22) 出願日 平成9年(1997)10月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 斉藤 尚史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

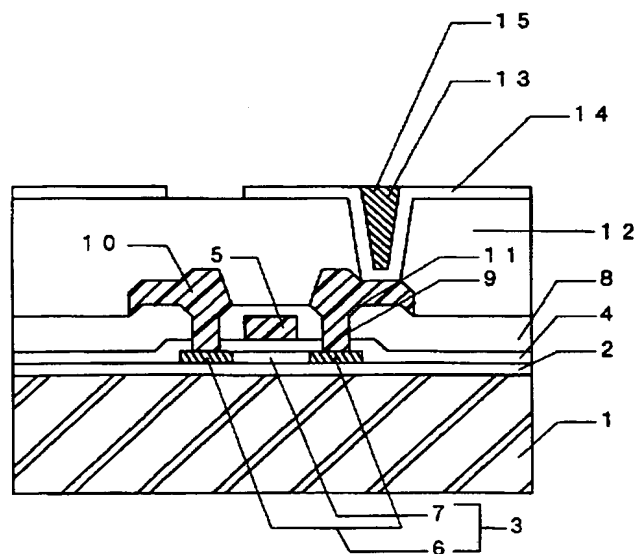
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 薄膜トランジスタなどやこれらの半導体素子を配置した半導体装置において、絶縁膜を介して上下間で電極を接続する際に、絶縁膜に開口されたコンタクトホールに起因する段差によって発生する電極の断線を抑制し、電極間の安定した接続を得る。

【解決手段】 下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置において、前記下部電極に接続される上部電極上を含む前記コンタクトホール領域に、導電性物質を充填する。



(2)

【特許請求の範囲】

【請求項1】 下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置において、前記下部電極に接続される上部電極上を含む前記コンタクトホール領域には、導電性物質が充填されていることを特徴とする半導体装置。

【請求項2】 前記下部電極に接続される上部電極上を含む前記コンタクトホール領域には、導電性物質と該導電性物質上に形成された平坦表面を形成する物質とが充填されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記導電性物質は金属薄膜であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記導電性物質は導電性を有する樹脂膜であることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 前記平坦表面を形成する物質は導電性あるいは絶縁性を有する樹脂膜であることを特徴とする請求項1に記載の半導体装置。

【請求項6】 下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置の製造方法において、

前記下部電極上に形成された絶縁膜に、前記コンタクトホールを開く工程と、

前記コンタクトホールを含む絶縁膜上に前記上部電極を形成し、該コンタクトホールを介して該上部電極と前記下部電極とを接続する工程と、

前記上部電極上を含む前記コンタクトホール領域に、導電性物質を充填する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置の製造方法において、

前記下部電極上に形成された絶縁膜に、前記コンタクトホールを開く工程と、

前記コンタクトホールを含む絶縁膜上に前記上部電極を形成し、該コンタクトホールを介して該上部電極と前記下部電極とを接続する工程と、

前記上部電極上を含む前記コンタクトホール領域に、前記絶縁膜上に形成された上部電極の表面よりも突出しない程度に導電性物質を形成する工程と、

前記コンタクトホール領域に形成された導電性物質上に、前記絶縁膜上に形成された上部電極の表面と概略一致する程度まで薄膜層を形成する工程と、を有すること

2

を特徴とする半導体装置の製造方法。

【請求項8】 前記導電性物質の形成工程は、メッキ法によって行われることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記導電性物質の形成工程は、導電性を有する樹脂を塗布することによって行われることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置などに用いられる薄膜トランジスタなどの半導体装置に関するものであり、特に絶縁膜を介して上下間の電極の接続を良好に行うための電極構造を有する半導体装置に関するものである。

【0002】

【従来の技術】近年、ICやLSIなどに代表される半導体装置や、これらの半導体装置を組み込んだ電子機器あるいは家庭電化製品などが開発され、市場で大量に販売されている。現在ではテレビ受像機は勿論のこと、VTRやパーソナルコンピュータなども広く一般に普及しており、さほど珍しいものではなくなっている。中でも、薄型で軽量かつ低消費電力であるという利点を有するディスプレイとして液晶表示装置が注目を集めている。特に各画素毎に薄膜トランジスタ（以下、TFTと称する。）などのスイッチング素子を設け、これにより各画素を制御するようにしたアクティブマトリクス型の液晶表示装置が解像度に優れ、鮮明な画像が得られるなどの理由から注目されている。以下、TFTあるいはアクティブマトリクス型液晶表示装置を半導体素子や半導体装置を組み込んだ電子機器の代表例として説明する。

【0003】従来のアクティブ素子としては非晶質シリコン薄膜を用いたTFTが知られており、このTFTを搭載したアクティブマトリクス型液晶表示装置が数多く商品化されている。現在、この非晶質シリコン薄膜を用いたTFTに代わるアクティブ素子として、画素電極を駆動させるための画素用TFTとその画素駆動用TFTを駆動させるための駆動回路とを一つの基板上に一体形成することができる可能性の有る多結晶シリコン薄膜を用いたTFTを形成する技術に大きな期待が寄せられている。

【0004】多結晶シリコン薄膜は、従来のTFTに用いられている非晶質シリコン薄膜に比べて高移動度を有しており、高性能なTFTを形成することが可能となっている。画素駆動用TFTを駆動させるための駆動回路を一つの安価なガラス基板上に一体形成することが実現されると、従来に比べて製造コストが大幅に低減されることになる。

【0005】このような多結晶シリコンTFTの活性層となる多結晶シリコン薄膜をガラス基板上に作成する技

(3)

3

術としては、ガラス基板上に非晶質シリコン薄膜を堆積した後に600℃程度の温度で数時間～数十時間熱処理して結晶化させる固相成長法や、エキシマレーザーなどのパルスレーザー光を照射し、その部分の非晶質シリコン薄膜を瞬時に熔融させて再結晶化させるレーザー結晶化法などの方法が提案されている。

【0006】このアクティブマトリクス型液晶表示装置には、画素電極にITO (Indium Tin Oxide) などの透明導電性薄膜を用いた透過型液晶表示装置と、画素電極に金属などの反射電極を用いた反射型液晶表示装置とがある。本来、液晶表示装置は自発光型のディスプレイではないため、透過型液晶表示装置の場合には、液晶表示装置の背後に照明装置、所謂バックライトを配置して、そこから入射される光によって表示を行っている。また、反射型液晶表示装置の場合には、外部からの入射光を反射電極によって反射させることによって表示を行っている。

【0007】反射型液晶表示装置の場合は、バックライトを使用しないため消費電力が極めて小さいが、使用環境あるいは使用条件、即ち周囲の明るさなどによって表示の明るさやコントラストが左右されてしまうという問題を有している。

【0008】一方、透過型液晶表示装置の場合は、上述のようにバックライトを用いて表示を行うため消費電力は大きくなるものの、周囲の明るさなどにさほど影響されることなく、明るくて高いコントラストを有する表示を行うことができるという利点を有している。

【0009】ところで、上述のようなITOなどの透明導電性薄膜あるいは金属などからなる画素電極は、TFTのドレイン電極に接続され、隣接するゲート配線やソース配線と短絡しないように、これらと一定の間隔を有するように形成されている。近年では画素電極の有効面積を拡大するために、図13に示すようなTFT上を含む基板51上全面に、ポリイミド樹脂やアクリル樹脂からなる層間絶縁膜58を形成し、該層間絶縁膜58に開口したコンタクトホール63を介してTFTのドレイン電極61と層間絶縁膜58上に形成された画素電極64とを接続する保護膜上画素電極構造（以下、ピクセル・オン・パッシ構造と呼ぶ）が提案されている。

【0010】この方法によると、画素電極64はポリイミド樹脂やアクリル樹脂からなる層間絶縁膜58によって、ゲート配線やソース配線と絶縁されることになるため、画素電極64の端部をゲート配線やソース配線の上方に重ねて配置することが可能となり、このことにより、画素電極64の有効面積、即ち開口率を拡大することができるようになっていく。更に、ポリイミド樹脂やアクリル樹脂からなる層間絶縁膜58は、TFTやゲート配線、ソース配線に起因する段差を容易に平坦化することができるため、液晶層70の配向乱れを極めて少なくするという効果も有している。

4

【0011】しかしながら上述の方法では、TFTやゲート配線、ソース配線に起因する段差を平坦化するために、ポリイミド樹脂やアクリル樹脂からなる層間絶縁膜58を1μm以上、例えば2μm～4μmの厚みに堆積させる必要がある。そのため、画素電極64とTFTのドレイン電極61とを接続するために開口するコンタクトホール63による段差が大きなものとなり、画素電極64とTFTのドレイン電極61との接続が良好に行われない場合もしばしば発生してしまう。

【0012】また、樹脂による層間絶縁膜58を堆積することによって、TFTやゲート配線、ソース配線に起因する段差は低減されるものの、コンタクトホール63に起因する段差が画素電極64の表面にも反映され、画素電極64の一部の領域に大きな段差が生じてしまい、そこで液晶層70の配向の乱れが発生して表示品位の低下を引き起こすという問題も発生してしまう。

【0013】そこで従来は、図14に示すように、例えば特開平4-220625号公報に示されているように、コンタクトホール63部分に樹脂からなる層間絶縁膜58の表面とほぼ同じ高さとなる金属などの導電体71を設ける方法が提案されている。この製造方法は、TFTのドレイン電極61上に金属などからなる導電体71を形成し、TFTなどの段差を平坦化する層間絶縁膜58を堆積させた後、導電体71の表面が露出するように層間絶縁膜58をエッチングして、画素電極64を接続するというものである。

【0014】また、特公平1-35351号公報、特開平1-68727号公報あるいは特開平4-305627号公報に示されるように、TFTのドレイン電極61と画素電極64との間、即ちコンタクトホール63部分にメッキなどの導電体71を電気化学的方法によって形成し、そこに画素電極64を接続するというような製造方法も提案されている。

【0015】

【発明が解決しようとする課題】上述したような基板表面の形状は、液晶層の配向に乱れを生じさせる大きな要因となっている。これは、基板表面に凹凸が存在するとその部分で液晶層の配向に乱れが生じるためである。最近では上述した図13のように、ピクセル・オン・パッシ構造によって、TFT、ゲート配線やソース配線による段差が緩和され、平坦化膜が形成された時点では基板表面には殆ど凹凸が存在していない。

【0016】しかし、その後に画素電極を形成するため、画素電極の膜厚分の段差および画素電極とTFTのドレイン電極とを接続するためのコンタクトホールによる窪みが形成されている。画素電極の膜厚分の段差はせいぜい数千Å程度であるが、コンタクトホールによる窪みは数μmであり、画素電極の膜厚分の段差とは比較にならない程大きなものとなっている。

【0017】また、TFTのドレイン電極と画素電極と

(4)

5

の接続を良好なものとするためには、コンタクトホールをテーパ形状に加工して傾斜を持たせるようにすればよいが、TFTの微細化に伴いコンタクトホールの寸法も微細化していることから、極端なテーパ形状加工が行えない状況にある。つまり、極端なテーパ形状に加工してしまうとコンタクトホールの寸法が大きくなってしまふからである。コンタクトホールの寸法を大きくしてしまふと、上述したようにコンタクトホールに起因する段差が画素電極の表面に反映され、画素電極の一部の領域に大きな段差が生じ、その段差で液晶層の配向の乱れが発生して、表示品位の低下を引き起こす大きな要因になる。

【0018】特に、画素電極のサイズが微細な場合にこの影響は顕著となる。例えば、画素電極のサイズが $25\mu\text{m}$ 角でありコンタクトホールの寸法が $5\mu\text{m}$ 角であったとすると画素電極の面積に占めるコンタクトホールの割合は4%となる。しかしながら、コンタクトホールの開口工程ではエッチングによる寸法シフトが発生しやすく、仮に完成時にコンタクトホールの寸法が $10\mu\text{m}$ 角になってしまったとするとコンタクトホールの占める割合は16%にまで達してしまうことになる。このような状況下では、TFTのドレイン電極と画素電極との良好な接続を維持しつつコンタクトホールの段差に起因する不都合を解消することは容易なことではない。

【0019】上述したような従来の方法は、このような問題点を解決するための方法として提案されたものであり、特開平4-220625号公報に示されている従来の方法では、TFTのドレイン電極上に金属などからなる導電体を形成し、TFTなどの段差を平坦化する膜を堆積させた後、導電体の表面を露出させるようにして、その部分に画素電極を接続するというような構成が開示されている。そのため画素電極の表面は平坦な状態となり、コンタクトホールの段差に起因する液晶層の配向の乱れや画素電極とTFTのドレイン電極との接続不良を低減することができると考えられる。

【0020】しかしながらこの方法では、コンタクトホール部分にポリイミド樹脂やアクリル樹脂からなる層間絶縁膜の膜厚と同程度の膜厚、即ち $2\mu\text{m}\sim 4\mu\text{m}$ の膜厚を有する柱状の金属などからなる導電体を形成する必要がある。このような導電体を形成するためには、通常スパッタリング法あるいはプラズマCVD法によって導電体を成膜すると考えられるが、その際、膜厚が厚いために成膜に長時間を要したり、成膜途中や成膜後に膜剥がれが生じたりすることが考えられる。また、仮に正常に成膜が完了したとしても、これをエッチングして柱状にパターニングするにはさらに長時間のエッチングを要することとなり、このような方法は容易なことではない。

【0021】一方、特公平1-35351号公報、特開平1-68727号公報あるいは特開平4-30562

6

7号公報などに示されている従来の方法には、TFTのドレイン電極と画素電極との間、即ちコンタクトホールの部分に、メッキなどの電気化学的方法によって導電体を形成し、そこに画素電極を接続するというような構成が開示されている。これらによるとドレイン電極と画素電極とを繋ぐ導電体は、コンタクトホールの部分に自己整合的に形成されるため、導電体を形成するためのフォトリソ工程が不要となり、更には導電体に接続される画素電極の表面、特にコンタクトホールによる段差を解消することが可能となっている。

【0022】しかしながらこの方法では、メッキなどの電気化学的方法によって形成された導電体とドレイン電極との密着性が必ずしも良好なものになるとは限らない。ドレイン電極を構成する金属材料によっては、その表面に酸化膜などが形成され易いものがある。一般に、TFTの電極や配線材料として広く利用されているAlやTiなどがこれに該当する。金属材料の表面に酸化膜などが形成されると十分な膜厚のメッキ層が得られないばかりでなく、密着性も良好なものにはならない。このような金属材料に対しては、事前に各種の表面処理を施すなどの複雑な工程が必要であり、かなりのノウハウが要求される。

【0023】また、コンタクトホールのような孔にメッキ層を充填する場合には、コンタクトホールが開口された絶縁膜の表面とメッキ層の表面とが必ずしも一致しない状況が生じることも考えられる。即ち、図15(a)(b)に示されるように、メッキ層71の表面が絶縁膜58の表面の位置に達しない場合や、逆に絶縁膜58の表面よりも突出する場合などが考えられる。図15

(a)(b)は、その様子を拡大して示したものである。上述したピクセル・オン・パッシ構造のように、 $2\mu\text{m}$ 程度の膜厚を有する樹脂絶縁膜58に開口されたコンタクトホール63にメッキ層71を充填しようとした場合、非常に時間をかけてメッキ層71を形成する場合は別にして、製造工程のスループットを考慮して仮に1分程度の時間でメッキ層71を形成する場合を想定すると、メッキ工程の時間が僅か10秒変動しただけで 3000\AA 以上の膜厚の増減が生じてしまい、樹脂絶縁膜58の膜厚が変動することも考慮すると最悪の場合 $0.5\mu\text{m}$ 程度、あるいはそれ以上の凹部あるいは凸部を発生させてしまうことになる。図15(a)(b)中において円で囲まれた領域は、上述したような理由により段差が発生した部分を示している。結果として当初の $2\mu\text{m}$ 程度の段差は幾分緩和されてはいるものの、後に形成される画素電極64などの膜厚($1000\text{\AA}\sim$ 数千 \AA)を考えると依然として段差部分での断線発生の懸念は完全には解消されていないままである。

【0024】本発明は上述したような従来の問題点に鑑みなされたものであり、薄膜トランジスタなどの半導体素子を配置した半導体装置において、下部電極に電気的

(5)

7

に接続するように形成された上部電極上を含む絶縁膜に開口されたコンタクトホール領域に導電性物質を充填することにより、該コンタクトホールに起因する段差により発生する電極の断線を抑制し、電極間の安定した接続を得ることを目的としている。

【0025】

【課題を解決するための手段】本発明の請求項1に記載の半導体装置は、下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置において、前記下部電極に接続される上部電極上を含む前記コンタクトホール領域には、導電性物質が充填されていることを特徴としており、そのことにより、上記目的が達成される。

【0026】また、本発明の請求項2に記載の半導体装置は、前記下部電極に接続される上部電極上を含む前記コンタクトホール領域には、導電性物質と該導電性物質上に形成された平坦表面を形成する物質とが充填されていることを特徴としており、そのことにより、上記目的が達成される。

【0027】このとき、前記導電性物質は金属薄膜であってもよい。

【0028】また、このとき、前記導電性物質は導電性を有する樹脂膜であってもよい。

【0029】さらに、このとき、前記平坦表面を形成する物質は導電性あるいは絶縁性を有する樹脂膜であってもよい。

【0030】本発明の請求項6に記載の半導体装置の製造方法は、下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置の製造方法において、前記下部電極上に形成された絶縁膜に、前記コンタクトホールを開口する工程と、前記コンタクトホールを含む絶縁膜上に前記上部電極を形成し、該コンタクトホールを介して該上部電極と前記下部電極とを接続する工程と、前記上部電極上を含む前記コンタクトホール領域に、導電性物質を充填する工程と、を有することを特徴としており、そのことにより、上記目的が達成される。

【0031】また、本発明の請求項7に記載の半導体装置の製造方法は、下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されるとともに、該絶縁膜に開口されたコンタクトホールを介して該下部電極と接続される上部電極とを有する半導体装置の製造方法において、前記下部電極上に形成された絶縁膜に、前記コンタクトホールを開口する工程と、前記コンタクトホールを含む絶縁膜上に前記上部電極を形成し、該コンタクトホールを介して該上部電極と前記下部電極とを接続する工程と、前記上部電極上を含む前記コンタクトホール

8

領域に、前記絶縁膜上に形成された上部電極の表面よりも突出しない程度に導電性物質を形成する工程と、前記コンタクトホール領域に形成された導電性物質上に、前記絶縁膜上に形成された上部電極の表面と概略一致する程度まで薄膜層を形成する工程と、を有することを特徴としており、そのことにより、上記目的が達成される。

【0032】このとき、前記導電性物質の形成工程は、メッキ法によって行われるようにしてもよい。

【0033】また、このとき、前記導電性物質の形成工程は、導電性を有する樹脂を塗布することによって行われるようにしてもよい。

【0034】このように、本発明では下部電極に接続される上部電極上を含む前記コンタクトホール領域に導電性物質が充填されていることにより、特に断線が発生し易い箇所であるコンタクトホールの底面に近い部分にも導電性物質が充填されていることとなり、上部電極の断線が防止され、上部電極と下部電極との接続が確実なものとなる。

【0035】また、下部電極に接続される上部電極上を含むコンタクトホール領域に、導電性物質と該導電性物質上に形成された平坦表面を形成する物質とが充填されていることにより、特に断線が発生し易い箇所であるコンタクトホールの底面に近い部分に導電性物質が充填されていることとなり、上部電極の断線が防止され、上部電極と下部電極との接続が確実なものとなる。さらに、導電性物質上に平坦表面を形成する物質が充填されているため、同時にコンタクトホールの表面平坦性を向上させることができる。

【0036】また、導電性物質として金属薄膜を用いることにより、上部電極と下部電極との接続をより一層確実に行うことが可能となる。

【0037】また、導電性物質として導電性を有する樹脂膜を用いることにより、上部電極とコンタクトホール表面との平坦性をより一層向上させることが可能となる。

【0038】また、平坦表面を形成する物質として導電性あるいは絶縁性を有する樹脂膜を用いることにより、特に断線が発生し易いコンタクトホールの底面に近い部分に導電性物質を充填して良好な導通を確保するとともに、上部電極の表面の平坦性をより一層向上させることが可能となり、平坦表面を形成する物質を導電性にした場合には、その部分に電極を接続したり、反対に絶縁性にした場合には、その部分に他の配線を配設することが容易に行えるようになる。

【0039】また、導電性物質の形成工程をメッキ法で行うことにより、抵抗の低い金属材料をコンタクトホール領域に容易に充填することが可能となる。

【0040】また、導電性物質の形成工程を導電性を有する樹脂を塗布することで行うことにより、上部電極の表面の平坦性をより一層向上させることが可能となる。

(6)

9

【0041】

【発明の実施の形態】以下、本発明の実施の形態について図面に基いて説明する。図1は本発明のTFTを示した断面図であり、図2はその平面図である。なお、図1は図2中のA-A'線の部分における断面を示している。

【0042】本発明におけるアクティブ素子としてのTFTは、図1に示すように、概ね次のような構成となっている。ガラスなどの絶縁性基板1上にSiO₂膜などからなるベースコート膜2が堆積され、その上にシリコン薄膜からなるTFTの活性層3が所定の形状に形成されており、該活性層3上にはSiO₂膜などの絶縁膜が堆積されてゲート絶縁膜4が形成されている。この活性層3上には該ゲート絶縁膜4を挟んでA1などの金属材料からなるゲート電極5が所定の形状に形成されている。

【0043】ここで、この活性層3には不純物イオンが注入されたソース領域およびドレイン領域6とゲート電極5の下方の領域に不純物イオンが注入されていないチャンネル領域7とが形成され、その後、全面に絶縁膜を堆積して層間絶縁膜8が形成される。このソース領域およびドレイン領域6の上方の層間絶縁膜8およびゲート絶縁膜4にはコンタクトホール9が開口されており、A1などの金属材料からなるソース電極10およびドレイン電極11が形成されてソース領域およびドレイン領域6にそれぞれ接続されている。

【0044】この後、全面にポリイミド樹脂やアクリル樹脂などを塗布して平坦化膜12を形成する。そして、この平坦化膜12にコンタクトホール13を開口し、ドレイン電極11に電氣的に接続されるようにA1などの金属あるいはITOなどの透明導電性薄膜を堆積させ、所定の形状にパターニングして上部電極14を形成する。

【0045】次に、上述したコンタクトホール13部分にメッキ法あるいは導電性樹脂膜によって導電層15を形成する。

【0046】本発明によると、TFTのドレイン電極11にコンタクトホール13を介して上部電極14を電氣的に接続し、その後、導電層15によってコンタクトホールに起因する凹状の窪み部分を充填するような構成としているため、最上層の表面が平坦なものとなっている。従って、本発明におけるTFTを液晶表示装置に適用した場合には、上部電極14である画素電極の表面に液晶分子の配向を乱すような凹凸を生じさせることがなくなる。

【0047】また、本発明では、仮にTFTのドレイン電極11と上部電極14とがコンタクトホール13内の何れかの部分において断線していたとしても、コンタクトホール13内に導電層15を形成しているため、断線箇所を接続することが可能となる。

10

【0048】さらに、本発明においては、導電層15を形成する際に、導電性樹脂膜を用いる場合には塗布装置を、メッキ法を用いる場合にはメッキ工程用設備を設置する以外に特殊な装置や複雑な前処理を必要とすることがなく、導電層15の形成工程以外は、従来のアクティブマトリクス型液晶表示装置やTFTを製造するために用いられている成膜方法やエッチング方法により簡便に製造することが可能である。

【0049】（実施の形態1）以下に、図面を用いて本発明の実施の形態1における製造方法の詳細について説明する。図3～図4は、本実施の形態1におけるTFTの製造工程を示した断面図である。

【0050】図3(a)に示すように、ガラス基板などの絶縁性基板1上にTFTを周知の方法によって作成する。作成方法は概ね以下の通りである。

【0051】まず、ガラス基板1上にSiO₂膜などからなるベースコート膜2をスパッタリング法やプラズマCVD法によって堆積させる。次に、多結晶シリコン薄膜や非晶質シリコン薄膜などを例えば30nm～50nm程度の膜厚に堆積し、堆積された膜が非晶質シリコン薄膜の場合は上方からレーザー光が照射して多結晶化する。多結晶化されたシリコン薄膜は所定の形状にパターニングされTFTの活性層3となる。

【0052】次いで、活性層3上にSiO₂膜などの絶縁膜が堆積されゲート絶縁膜4が形成され、該活性層3上にはゲート絶縁膜4を介してA1などの金属材料からなるゲート電極5が所定の形状に形成される。

【0053】次いで、活性層3にはゲート電極5をマスクとして不純物イオンが注入され、その後注入した不純物イオンを活性化するための加熱処理が施されてソース領域およびドレイン領域6が形成される。このときゲート電極5の下方の領域には不純物イオンが注入されていないチャンネル領域7が形成される。

【0054】その後、全面にSiO₂やSiN_x膜などが堆積されて層間絶縁膜8が形成される。最後にソース領域およびドレイン領域6の上方に位置する層間絶縁膜8およびゲート絶縁膜4にコンタクトホール9を開口した後、A1などの金属材料からなるソース電極10およびドレイン電極11を形成し、該ソース電極10およびドレイン電極11がソース領域およびドレイン領域6に接続される。本実施の形態1におけるTFTは、このようにして製造される。

【0055】本実施の形態1では、多結晶シリコン薄膜を活性層3に用いたコプラナ型TFTについて説明したが、非晶質シリコン薄膜を活性層3に用いた逆スタガ型TFTであってもよい。また、この後、ドレイン電極11上に該ドレイン電極11と異なる材質の金属膜あるいは透明導電性薄膜を堆積させて、所定形状にパターニングしキャップ電極を形成してもよい。なお、このときの金属膜としては、Ni、Cr、Cu、Fe、Wなどを用

(7)

11

いることが可能で、また、透明導電性薄膜としては、ITO、 SnO_2 などを用いることが可能である。

【0056】次に、図3(b)に示すように、全面にポリイミド樹脂やアクリル樹脂などを塗布して平坦化膜12を形成する。本実施の形態1では、樹脂にオプトマーSS（日本合成ゴム社製）を用い、 $2\mu\text{m}\sim 4\mu\text{m}$ 、例えば最大で $2\mu\text{m}$ の厚みになるように基板1上に塗布形成した。

【0057】次に、ドレイン電極11の上方に位置する平坦化膜12にコンタクトホール13を開口した。このコンタクトホール13の開口には、酸素ガスによるドライエッチングを用いることができる。本実施の形態1では、酸素ガス流量 400 sccm 、高周波電力 600 W 、ガス圧力 20 mTorr の条件でエッチングを行ってコンタクトホール13を形成した。また、このコンタクトホール13の内壁は、概ね $80^\circ\sim 60^\circ$ の角度に傾斜させて形成した。また、このコンタクトホール13を開口する際には、アライメント精度を考慮してドレイン電極11側のコンタクトホール13の口径を比較的小さくし、確実にドレイン電極11上に開口するようにし、また、平坦化膜12の表面側の口径もドレイン電極11の外寸法を越えない範囲にすることが望ましい。これは、電極間の接続を確実にし、このTFTを液晶表示装置などに用いた際に不必要に開口率を低下させないためにも重要である。なお、このとき平坦化膜12に用いられる樹脂は感光性を有するものであってもよい。

【0058】次に、図4(a)に示すように、ドレイン電極11に電気的に接続されるようにITOなどの透明導電性薄膜やAlなどの金属膜を $1000\text{ \AA}\sim$ 数千 \AA 、例えば 2000 \AA 程度堆積させ、フォトレジストによるマスクを用いてパターンニングして所定の形状の上部電極14を形成する。このときITOなどの透明導電性薄膜やAlなどの金属膜を堆積させる方法としては、スパッタリング法などの周知の方法を用いることができる。

【0059】次に、図4(b)に示すように、フォトレジストによるマスクを形成し、コンタクトホール13の部分にメッキ法によって金属膜を充填し導電層15を形成する。なお、フォトレジストは導電層15形成後に除去する。

【0060】上述したメッキ法に関して以下に説明する。一般にメッキ法といえば電解メッキ法を指すことが多く、この方法は、メッキしたい金属イオンを含む水溶液中に直流電流を流し、陰極面に金属膜を得るというものである。このメッキ工程の様子を図12に示す。この工程で用意される設備としては、メッキ液18と該メッキ液18を入れるメッキ槽19、それに直流電源20である。陽極21にはメッキする金属と同じ材質の電極を用いるのが一般的であり、Niをメッキする場合にはニッケル電極、Agをメッキする場合は銀電極を用いる。

12

また、メッキ液によっては若干加熱を必要とする場合もある。その場合には、付属設備としてメッキ槽の加熱設備を用意する。メッキされる金属としては、Cu、Ag、Au、Cr、Fe、Ni、Ptなどを用いることができる。本発明においては、特にメッキする金属を限定する必要はないが、後述するように下地材料との相性も考慮して決定するほうが好ましく、Ni、Cu、Agなどが特に有望である。例えば、Niは比較的容易にメッキが可能であり、工業用に広く用いられているし、Cu、Agなどは電気抵抗が十分に低いため電極などに用いるには好適であると考えられるからである。水溶液としては、例えばNiやAgの場合、硫酸ニッケル、塩化ニッケル、シアン化銀などが用いられる。本実施の形態1ではAgを用いてメッキを行った。Agを選択した理由としては、上述したように電気抵抗が低い材料であり、電気抵抗が低い貴金属材料の中では価格が格段に安いからである。

【0061】本実施の形態1におけるコンタクトホール13部分のメッキは、例えば、メッキ液としてシルブレックスII（日本エレクトロプレイティング・エンジニアーズ社製）を用い、電流密度 1 A/dm^2 、メッキ液温度 25°C で約2分間程度メッキを行い、約 $2\mu\text{m}$ 程度の導電層15を形成した。導電層15の膜厚は電流密度と時間とを制御することにより決定することができる。電流密度やメッキ液温度については、メッキ液の種類によって異なるため適宜決定すればよく、本実施の形態1では、電流密度 $1\sim 5\text{ A/dm}^2$ 、メッキ液温度 $20\sim 30^\circ\text{C}$ の範囲で条件を設定した。本実施の形態1におけるこのような条件は、コンタクトホール13のようにメッキする部分の面積が小さい場合には低電流密度で行う方が良好な結果が得られ易いことを考慮して決定したものである。

【0062】次に、メッキ工程の前後の工程に関して説明する。メッキ工程の前には、メッキされる対象物の表面を水洗する以外に必要に応じて塩酸などで表面の処理を行う。メッキ工程の後には、 70°C 前後の温純水で洗浄して乾燥させる。なお、本実施の形態1では単一金属のメッキの例を示したが、合金のメッキであっても差し支えない。

【0063】本実施の形態1では、ドレイン電極11にコンタクトホール13を介して電気的に接続される上部電極14が形成された後に導電層15を形成するようにしているため、仮に導電層15の表面が上部電極14の表面よりも突出あるいは後退して段差が生じた場合であっても、上部電極14に対して断線などの悪影響を生じさせることは全く無い。

【0064】また、図5に示すように、平坦化膜12は数 μm の膜厚を有しているため、該平坦化膜12に開口されたコンタクトホール13も数 μm の段差を有していることになる。コンタクトホール13部分には、10

(8)

13

0.0 Å～数千Å程度の膜厚の上部電極14が堆積、形成されることになるが、上述のようにコンタクトホール13は数μmの段差を有しており、その角度も急峻であるため、コンタクトホール13内壁面に均一な厚みで膜を堆積することが困難であり、図中の円で囲まれた領域では、しばしば十分な膜厚を確保することができずに実質的に断線してしまふような場合もあった。しかしながら、本実施の形態1においては、コンタクトホール13部分にメッキを施すことにより、コンタクトホール13の底面部分に析出した導電層15が、図中の矢印で示したように次第に成長して行きコンタクトホール13内に充満することにより、上部電極14の断線部分を接続することが可能となっているのである。

【0065】なお、図示していないが、この後全面に配向膜を形成し、配向処理を施した後、カラーフィルターや対向電極などを形成した対向側基板を貼り合わせて、基板間に液晶を注入すれば液晶表示装置を完成させることができる。

【0066】（実施の形態2）次に、図面を用いて本発明の他の実施の形態における製造方法の詳細について説明する。図6～図8は、本実施の形態2におけるTFTの製造工程を示した断面図である。

【0067】図6（a）に示すように、TFTを作成後、樹脂による平坦化膜12を形成する。なお、本実施の形態2におけるTFTの製造工程などは実施の形態1と同様であるため説明を省略する。

【0068】図6（b）に示すように、樹脂による平坦化膜12にコンタクトホール13を開口した。このコンタクトホール13の開口には、酸素ガスによるドライエッチングを用いることができる。本実施の形態2では、
30 先ず酸素ガス流量400 sccm、高周波電力600 W、ガス圧力20 mTorrの条件でエッチングを行ってコンタクトホール13を形成した。なお、これらの工程は実施の形態1と同様である。

【0069】次に、図7（a）に示すように、ドレイン電極11に電気的に接続されるようにITOなどの透明導電性薄膜やAlなどの金属膜を1000 Å～数千Å、例えば2000 Å程度堆積させ、フォトレジストによるマスクを用いてパターニングして所定の形状の上部電極14を形成する。このときITOなどの透明導電性薄膜やAlなどの金属膜を堆積させる方法としては、スパッタリング法などの周知の方法を用いることができる。

【0070】次に、図7（b）に示すように、コンタクトホール13の部分にメッキ法によって金属膜を充填し導電層15を形成する。本実施の形態2では、導電層15はコンタクトホール13内に完全に充填するのではなく、底面から1/3～2/3程度の厚みに形成する。この際の重要な点としては、上部電極14の表面から導電層15が突出しないようにすることであり、底面からどの程度の厚みに形成するかは適宜決定すればよい。本実

14

施の形態2ではAgを用いてメッキすることにし、例えば、メッキ液としてシルブレックスII（日本エレクトロプレイティング・エンジニアーズ社製）を用いた。また、導電層15の膜厚は電流密度と処理時間を制御することで決定することができるが、本実施の形態2では、処理時間で制御することにした。具体的には電流密度1 A/dm²、メッキ液温度25℃で約1分間程度メッキを行い、約1 μm程度の導電層15を形成した。

【0071】以下の説明については実施の形態1に記載したものと同様であるが、繰り返し説明する。電流密度やメッキ液温度については、メッキ液の種類によって異なるため適宜決定すればよく、本実施の形態2では、電流密度1～5 A/dm²、メッキ液温度20～30℃の範囲で条件を設定した。本実施の形態2におけるこのような条件は、コンタクトホール13のようにメッキする部分の面積が小さい場合には低電流密度で行う方が良好な結果が得られやすいことを考慮して決定したものである。

【0072】次に、メッキ工程の前後の工程に関して説明する。メッキ工程の前には、メッキされる対象物の表面を水洗する以外に必要に応じて塩酸などで表面の処理を行う。メッキ工程の後には、70℃前後の温純水で洗浄して乾燥させる。なお、本実施の形態2では単一金属のメッキの例を示したが、合金のメッキであっても差し支えない。

【0073】次に、図8（a）に示すように、基板全面に樹脂薄膜層16を堆積させる。この樹脂薄膜層16は導電層15が1/2程度まで充填されたコンタクトホール13の残りの部分に充填するためのものである。ここでは約1 μm程度の膜厚となるように塗布形成した。用いられる材料としては平坦化膜12と同一材料であるオプトマーSS（日本合成ゴム社製）を用いた。あるいは、カラーモザイクCK（富士ハント社製）などの有色や黒色の樹脂材料を用いても差し支えない。また、樹脂薄膜層16に用いられる樹脂材料は導電性材料でもよく、感光性を有するものであってもよい。

【0074】次に、図8（b）に示すように、樹脂薄膜層16の全面をエッチングして上部電極14の表面を露出させる。この工程ではフォトレジストなどのマスクを用いることなく全面をエッチングする。これをエッチバック工程と称している。エッチングには酸素ガスによるドライエッチングを用いることができる。本実施の形態2では酸素ガス流量400 sccm、高周波電力600 W、ガス圧力20 mTorrの条件でエッチングを行った。

【0075】なお、本実施の形態2では、コンタクトホール13に導電層15を底面から1/2程度の位置まで充填し、残りの部分に樹脂薄膜層16を充填するようにした。従って、導電層15が上部電極14の表面から突出するようなことはなく、コンタクトホール13の残り

50

(9)

15

の部分に樹脂薄膜層16を充填しているため、上部電極14の表面は平坦なものになっている。また、樹脂薄膜層が絶縁性の場合には、この部分に他の配線を配設することが可能であり、その際も表面が平坦であるため断線などの心配はない。また、このような構造のTFTを液晶表示装置に用いると、電極間を含めた電極の表面が全て平坦となるため、液晶分子の配向に対して悪影響を及ぼすようなこともない。

【0076】(実施の形態3)次に、図面を用いて本発明の他の実施の形態における製造方法の詳細について説明する。図9～図11は、本実施の形態3におけるTFTの製造工程を示した断面図である。

【0077】図9(a)に示すように、TFTを作成後、樹脂による平坦化膜12を形成する。なお、本実施の形態2におけるTFTの製造工程などは実施の形態1と同様であるため説明を省略する。

【0078】図9(b)に示すように、樹脂による平坦化膜12にコンタクトホール13を開口した。このコンタクトホール13の開口には、酸素ガスによるドライエッチングを用いることができる。本実施の形態2では、
20 先ず酸素ガス流量400sccm、高周波電力600W、ガス圧力20mTorrの条件でエッチングを行ってコンタクトホール13を形成した。なお、これらの工程は実施の形態1と同様である。

【0079】次に、図10(a)に示すように、ドレイン電極11に電気的に接続されるようにITOなどの透明導電性薄膜やAlなどの金属膜を1000Å～数千Å、例えば2000Å程度堆積させ、フォトリソによるマスクを用いてパターンニングして所定の形状の上部電極14を形成する。このときITOなどの透明導電性
30 薄膜やAlなどの金属膜を堆積させる方法としては、スパッタリング法などの周知の方法を用いることができる。

【0080】次に、図10(b)に示すように、全面に導電性樹脂膜17を塗布形成することによってコンタクトホール13部分に充填させ、次の工程において不要な導電性樹脂膜17を除去する。除去する方法としてエッチバック工程を用いる場合には、導電性樹脂膜17の表面にコンタクトホール13による凹状の窪みが生じない程度に塗布するのがよい。これはエッチバック工程では、全面を均一にエッチングしていくからである。一方、導電性樹脂膜17が感光性を有している場合には、コンタクトホール13に導電性樹脂膜17が充填されている程度に塗布すればよい。

【0081】なお、導電性樹脂膜17は、従来の絶縁性樹脂膜に金属粒子やカーボンを添加することによって容易に得ることができる。また、テトラシアノキノジメタン(TCNQ)とテトラチアフルバレン(TTF)を絶縁性樹脂膜に混入させることによって得ることができる。本実施の形態3において用いた導電性樹脂膜17

16

は、特にこれらに限定される必要はなく、適宜決定すればよいが、なるべく電気抵抗の低い材料を選択するほうが好ましい。

【0082】次に、図11に示すように、コンタクトホール13部分以外に堆積されている不要な導電性樹脂膜17を除去し、コンタクトホール13部分に導電層15を形成する。導電性樹脂膜17の除去に関しては、上述した実施の形態2で説明したエッチバック工程あるいは導電性樹脂膜17が感光性を有している場合はマスクを用いて露光、現像することによって不要部分を除去することができる。なお、樹脂膜の除去方法についてはこれらに限定されるものではなく、用いられた樹脂膜に適した除去方法を適宜採用すればよい。

【0083】本実施の形態3では、導電層15として導電性樹脂膜を用いているため、導電層15の表面の位置を上部電極14の表面の位置とほぼ一致させることが比較的容易となっている。

【0084】以上のように、実施の形態1、実施の形態2および実施の形態3において作成したTFTは、液晶表示装置の画素電極を駆動するためのスイッチング素子として用いることが可能で、電極や配線を断線させることがなく、あるいは例え断線したとしても該断線箇所を接続することができるという作用効果を有するものである。従って、この構造はコンタクトホールを介して上下間で接点を有する電極や配線の接続を安定させるのに非常に有効であり、これはTFTに限らず、上下間の電極の接続構造を有する半導体素子あるいは半導体装置に対しても広く応用することができるものである。

【0085】

【発明の効果】上述したように、本発明の電極接続構造では、コンタクトホールを介して上下間で接点を有する電極や配線の接続を確実に行うことが可能となる。

【0086】また、このような電極間の接続構造を有する半導体素子あるいは半導体装置を液晶表示装置に応用した場合には、上部電極に相当する画素電極の断線を防止することができ、半導体素子であるTFTのドレイン電極と画素電極との接続をより確実なものとするのが可能になるとともに、コンタクトホールの段差に起因する液晶分子の配向乱れが発生することがなくなり、良好な表示品位を得ることが可能となる。

【図面の簡単な説明】

【図1】図1は、本発明のTFTを示した断面図である。

【図2】図2は、本発明のTFTを示した平面図である。

【図3】図3(a)(b)は、本実施の形態1におけるTFTの製造工程を示した断面図である。

【図4】図4(a)(b)は、図3(a)(b)に続く本実施の形態1におけるTFTの製造工程を示した断面図である。

(10)

17

【図5】図5は、本実施の形態における電極接続部の細部を示した断面図である。

【図6】図6(a)(b)は、本実施の形態2におけるTFTの製造工程を示した断面図である。

【図7】図7(a)(b)は、図6(a)(b)に続く本実施の形態2におけるTFTの製造工程を示した断面図である。

【図8】図8(a)(b)は、図7(a)(b)に続く本実施の形態2におけるTFTの製造工程を示した断面図である。

【図9】図9(a)(b)は、本実施の形態3におけるTFTの製造工程を示した断面図である。

【図10】図10(a)(b)は、図9(a)(b)に続く本実施の形態3におけるTFTの製造工程を示した断面図である。

【図11】図11は、図10(a)(b)に続く本実施の形態3におけるTFTの製造工程を示した断面図である。

【図12】図12は、本実施の形態1におけるメッキ工程を示した図面である。

【図13】図13は、保護膜上面素電極構造(ピクセル・オン・パッシ構造)の半導体素子を示した断面図である。

【図14】図14は、従来技術における半導体素子を示した断面図である。

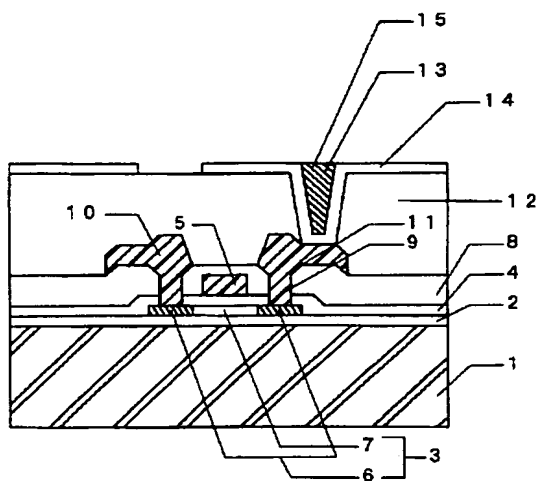
【図15】図15(a)(b)は、従来の問題点を示したコンタクトホール断面図である。

【符号の説明】

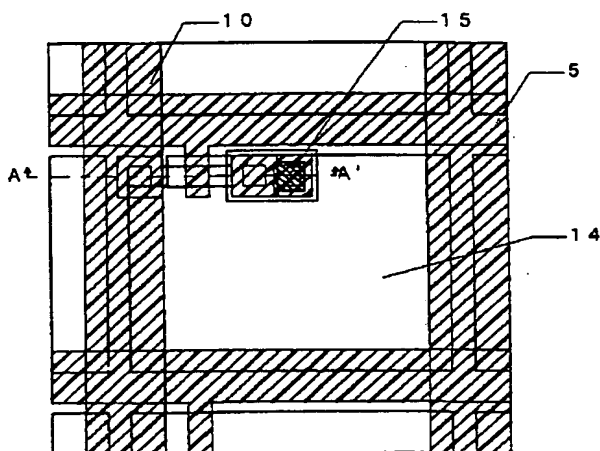
1 絶縁性基板

- 2 ベースコート膜
3 活性層
4 ゲート絶縁膜
5 ゲート電極
6 ソース領域およびドレイン領域
7 チャンネル領域
8 層間絶縁膜
9 コンタクトホール
10 ソース電極
11 ドレイン電極(下部電極)
12 平坦化膜
13 コンタクトホール
14 画素電極(上部電極)
15 導電層
16 樹脂薄膜層
17 導電性樹脂膜
18 メッキ液
19 メッキ槽
20 直流電源
21 陽極
51 絶縁性基板
58 層間絶縁膜
60 ソース電極
61 ドレイン電極(下部電極)
63 コンタクトホール
64 画素電極(上部電極)
70 液晶層
71 導電体

【図1】

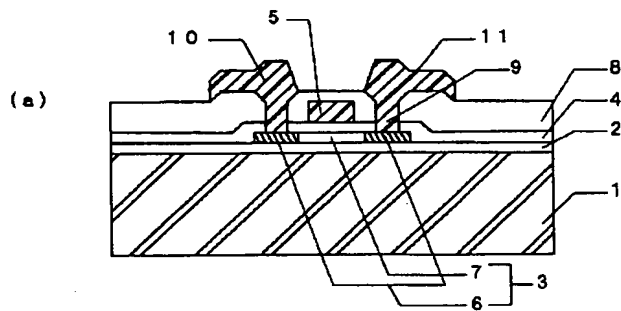


【図2】

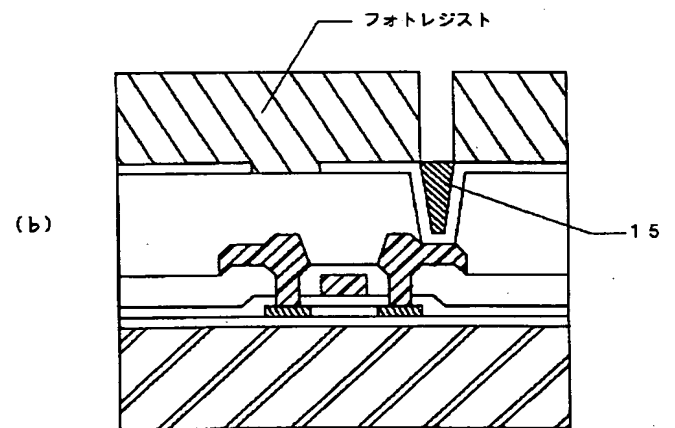
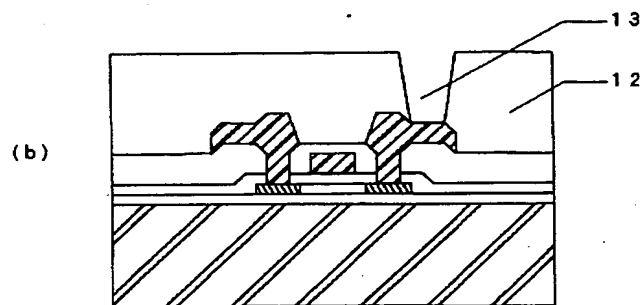
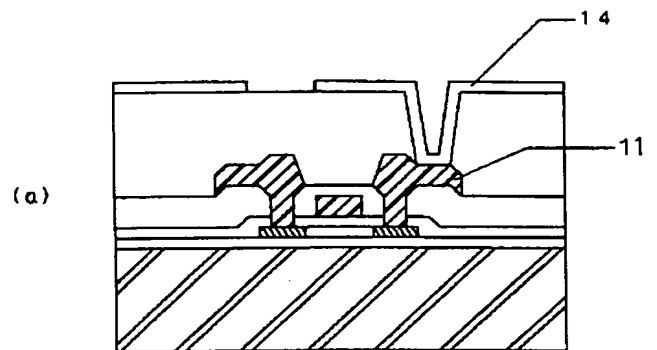


(11)

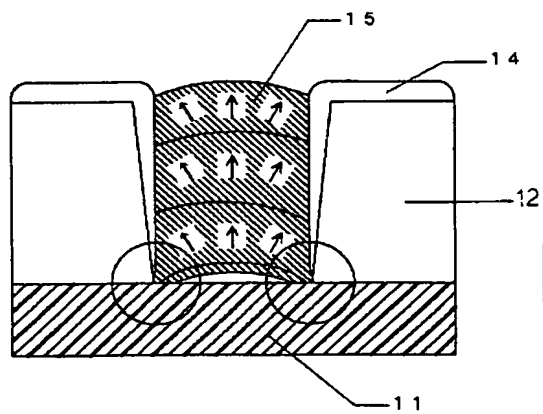
【図3】



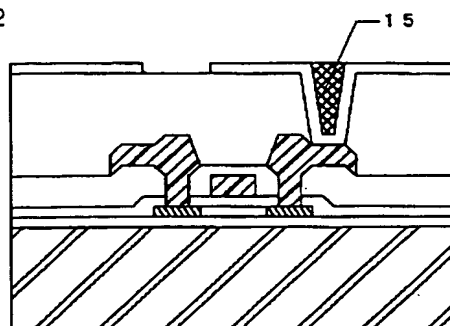
【図4】



【図5】

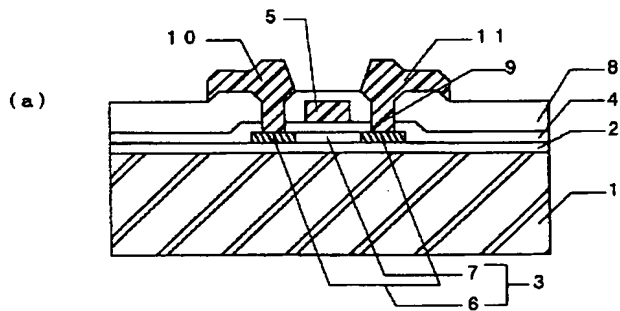


【図11】

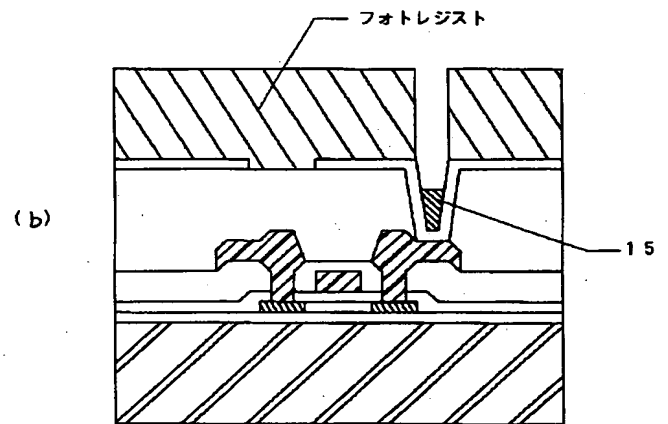
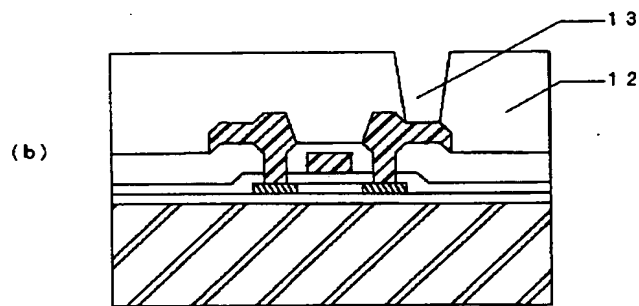
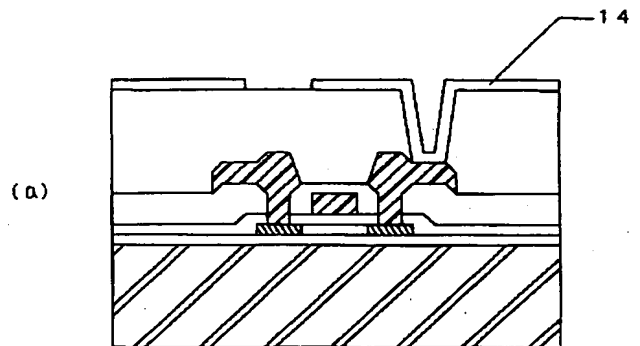


(12)

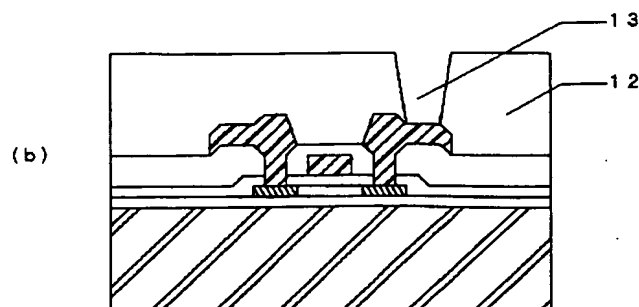
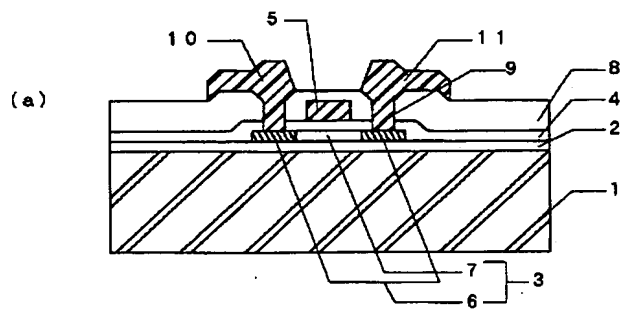
【図6】



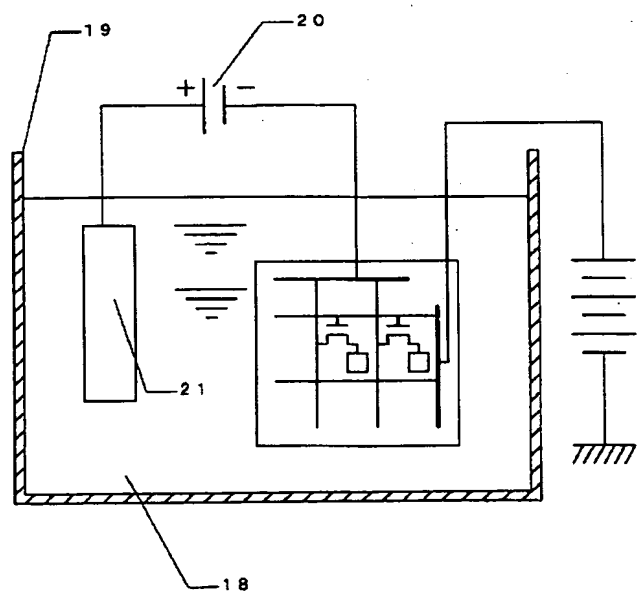
【図7】



【図9】

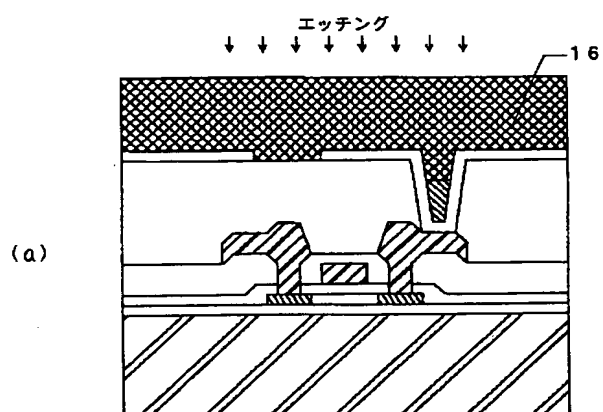


【図12】

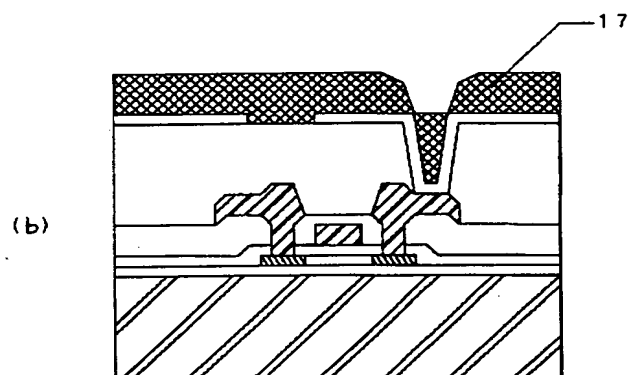
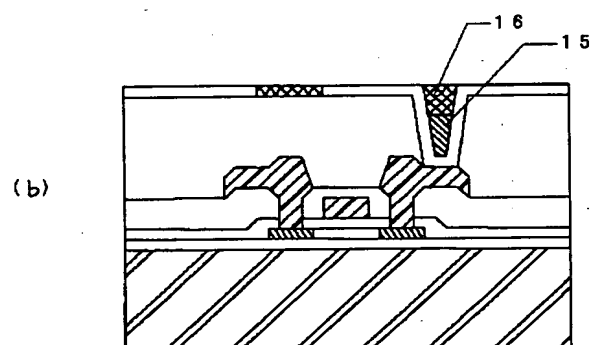
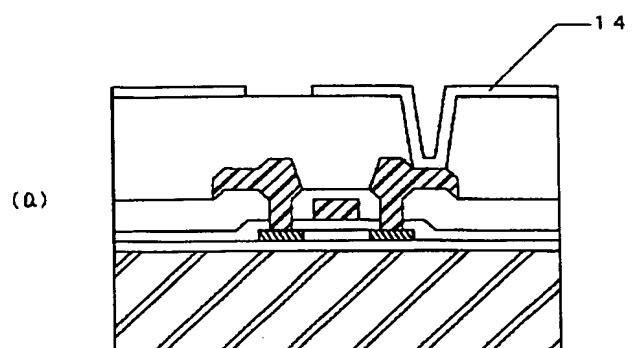


(13)

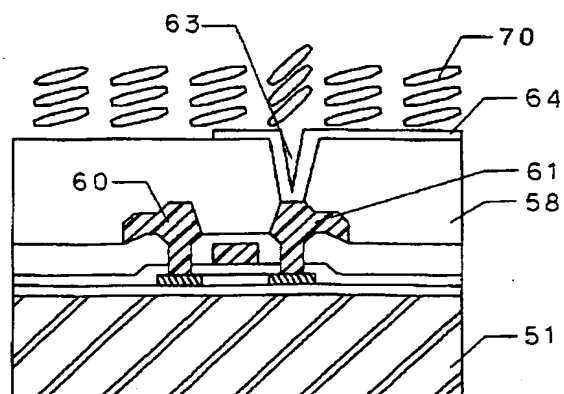
【図8】



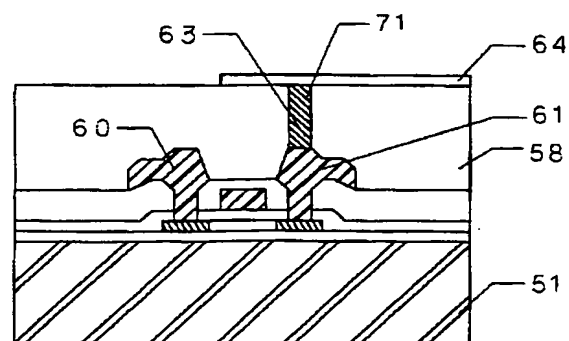
【図10】



【図13】



【図14】



(14)

【図15】

